

100-1000000000000000  
5-2-02

11046 U.S. 533 PRO  
110/083533  
02/27/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroshi HASHIMOTO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **February 27, 2002**

For: **SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF  
PRODUCING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

February 27, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-205188, filed July 5, 2001**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.  
Reg. No. 22,631

Atty. Docket No.: 020244  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WGK/l

PATENT OFFICE  
JAPANESE GOVERNMENT

11046 U.S. PRO  
10/08/3533  
02/27/02

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: July 5, 2001

Application Number: Japanese Patent Application  
No. 2001-205188

Applicant(s) FUJITSU LIMITED

September 27, 2001

Commissioner,  
Patent Office                    Kouzo Oikawa (Seal)

Certificate No. 2001-3088874

日本国特許庁  
JAPAN PATENT OFFICE

J1046 U.S. PRO  
J10/083533  
02/27/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2001年 7月 5日

出願番号  
Application Number:

特願2001-205188

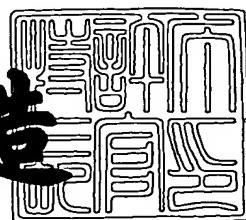
出願人  
Applicant(s):

富士通株式会社

2001年 9月 27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3088874

【書類名】 特許願  
 【整理番号】 0140691  
 【提出日】 平成13年 7月 5日  
 【あて先】 特許庁長官 及川 耕造 殿  
 【国際特許分類】 H01L 27/08  
                   H01L 21/76  
                   H01L 21/94  
 【発明の名称】 半導体集積回路装置およびその製造方法  
 【請求項の数】 10  
 【発明者】  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
                   株式会社内  
 【氏名】 橋本 広司  
 【発明者】  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
                   株式会社内  
 【氏名】 高橋 浩司  
 【特許出願人】  
 【識別番号】 000005223  
 【氏名又は名称】 富士通株式会社  
 【代理人】  
 【識別番号】 100070150  
 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
                   プレイスタワー32階  
 【弁理士】  
 【氏名又は名称】 伊東 忠彦  
 【電話番号】 03-5424-2511  
 【手数料の表示】  
 【予納台帳番号】 002989

特2001-205188

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項1】 基板と

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置  
であって、

前記不揮発性メモリ装置は、前記メモリセル領域において前記基板表面を覆う  
トンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電  
極と、前記フローティングゲート電極上に形成された絶縁膜と、前記絶縁膜上に  
形成されたコントロールゲート電極とよりなる積層ゲート電極構造を含み、

前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と  
、前記ゲート絶縁膜上に形成されたゲート電極とよりなり、

前記フローティングゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜によ  
り覆われており、

前記トンネル絶縁膜と前記フローティングゲート電極との界面には、熱酸化膜  
よりなり前記フローティングゲート電極の側壁面から前記界面に沿って前記フロ  
ーティングゲート電極の内側に侵入するバーズピーク構造が形成されており、

前記ゲート絶縁膜は、前記基板表面と前記ゲート電極下面との間に実質的に一  
様な厚さで介在することを特徴とする半導体集積回路装置。

【請求項2】 基板と、

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置  
であって、

前記不揮発性メモリ装置は、前記メモリセル領域中に形成され、トンネル絶縁  
膜で覆われた第1の活性領域と、前記メモリセル領域中、前記第1の活性領域近  
傍に形成され、絶縁膜により覆われた第2の活性領域と、前記第2の活性領域中  
に形成された埋込拡散領域よりなるコントロールゲートと、前記メモリセル領域  
中に、前記第2の活性領域と前記第1の活性領域との間を架橋するように延在し

、前記第2の活性領域において前記埋込拡散領域と前記絶縁膜を介して容量性結合を形成し、前記第1の活性領域において前記トンネル絶縁膜上を延在する第1のゲート電極と、前記第1の活性領域中、前記第1のゲート電極の両側に形成された一対の拡散領域とよりなり、

前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された第2のゲート電極とよりなり、

前記第1のゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、

前記トンネル絶縁膜と前記第1のゲート電極との界面には、熱酸化膜よりなり前記第1のゲート電極の側壁面から前記界面に沿って前記第1のゲート電極の内側に侵入するバースピーク構造が形成されており、

前記ゲート酸化膜は、前記基板表面と前記第2のゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置。

【請求項3】 メモリセル領域と第1の素子領域と第2の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第1の素子領域に対応して第1の半導体装置を形成し、前記第2の素子領域に対応して第2の半導体装置を形成する半導体集積回路装置の製造方法であって

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記第1の素子領域を覆う第1のゲート絶縁膜と、前記第2の素子領域を覆う前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記第1の素子領域において前記第1のゲート絶縁膜を覆うように、さらに前記第2の素子領域において前記第2のゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、

前記第1および第2の素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的に前記第2のシリコン膜と前記絶縁膜と前記第1の

シリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記第1および第2の素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、

前記第1および第2の素子領域において前記第2のシリコン膜をパターニングし、第1および第2のゲート電極をそれぞれ形成する工程と、

前記第1および第2の素子領域において、前記第1および第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項4】 メモリセル領域と第1の素子領域と第2の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第1の素子領域に対応して第1の半導体装置を形成し、前記第2の素子領域に対応して第2の半導体装置を形成する半導体集積回路装置の製造方法であって

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記第1の素子領域を覆う第1のゲート絶縁膜と、前記第2の素子領域を覆う前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記第1の素子領域において前記第1のゲート絶縁膜を覆うように、さらに前記第2の素子領域において前記第2のゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記第1および第2の素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第3のゲート電極を形成する工程と、

前記メモリセル領域において前記第3のゲート電極を覆うように、また前記第

1 および第2の素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第3のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第3のゲート電極の両側に拡散領域を形成する工程と、

前記第1および第2の素子領域において前記シリコン膜をパターニングし、第1および第2のゲート電極をそれぞれ形成する工程と、

前記第1および第2の素子領域において、前記第1および第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、

前記論理素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記論理素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート

電極構造の両側に拡散領域を形成する工程と、

前記論理素子領域において前記第2のシリコン膜をパターニングし、ゲート電極を形成する工程と、

前記論理素子領域において、前記ゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法

【請求項6】 メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記論理素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第1のゲート電極を形成する工程と、

前記メモリセル領域において前記第1のゲート電極を覆うように、また前記論理素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第1のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第1のゲート電極の両側に拡散領域を形成する工程と、

前記論理素子領域において前記シリコン膜をパターニングし、第2のゲート電極を形成する工程と、

前記論理素子領域において、前記第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 前記ゲート電極および前記コントロールゲート電極は、n型

あるいはp型にドープされたシリコン膜を含むポリサイド構造あるいはポリメタル構造を有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項8】 前記第2のゲート電極は、n型あるいはp型にドープされたシリコン膜を含むポリサイド構造あるいはポリメタル構造を有することを特徴とする請求項2記載の半導体装置集積回路装置。

【請求項9】 前記保護絶縁膜を形成する熱酸化膜は、前記バーズピーク構造に連続することを特徴とする請求項1または2または7または8記載の半導体集積回路装置。

【請求項10】 前記ゲート電極および前記第1のゲート電極および前記第2のゲート電極および前記コントロールゲート電極は、n型あるいはp型にドープされたシリコン膜を含むポリサイド構造あるいはポリメタル構造であることを特徴とする請求項3～6のうち、いずれか一項記載の半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は一般に半導体装置およびその製造方法に係り、特に不揮発性半導体記憶装置を含み、複数の電源電圧を使う半導体集積回路装置およびその製造方法に関する。

##### 【0002】

フラッシュメモリ装置はフローティングゲート電極中に情報を電荷の形で蓄積する不揮発性半導体記憶装置であり、簡単な素子構成を有しているため、大規模集積回路装置を構成するのに適している。

##### 【0003】

フラッシュメモリ装置では情報の書き込みおよび消去が、フローティングゲート電極へのトンネル絶縁膜を介したホットキャリアの注入およびFowler-Nordheim型トンネル効果による引き抜きによりなされるが、かかるホットキャリアを発生させるためには高電圧が必要とされ、そのためフラッシュメモリ装置では、メモリセルと協働する周辺回路に電源電圧を昇圧する昇圧回路が設

けられている。従って、このような周辺回路において使われるトランジスタは高電圧で動作する必要がある。

#### 【0004】

一方、最近ではこのようなフラッシュメモリ装置を高速論理回路と共に共通の半導体基板上に、半導体集積回路装置の形で形成することが行われている。このような高速論理回路では、使われるトランジスタは低電圧動作をする必要があり、このためかかる半導体集積回路装置では複数の電源電圧を使う必要がある。

#### 【0005】

##### 【従来の技術】

図1 (A) ~図9 (Q) は、かかるフラッシュメモリを含み、多電源電圧に対応した従来の半導体集積回路装置の製造工程を示す図である。

#### 【0006】

図1 (A) を参照するに、フィールド酸化膜あるいはS T I構造などの素子分離構造(図示せず)が形成されたSi基板11上にはフラッシュメモリセル領域A、低電圧動作トランジスタ領域B、および高電圧動作トランジスタ領域Cが画成されており、図1 (A) の工程では前記領域A~C上に、800~1100°Cでの前記Si基板11表面の熱酸化工程により、トンネル酸化膜12Aが8~10nmの厚さに形成される。さらに図1 (B) の工程において前記トンネル酸化膜12A上にP(リン)でドープされた80~120nmの厚さのアモルファスシリコン膜13と、いわゆるONO構造を有する絶縁膜14とが順次堆積される。ONO絶縁膜14は、前記アモルファスシリコン膜13上にCVD法により5~10nmの厚さに堆積されたSiO<sub>2</sub>膜14cと、前記SiO<sub>2</sub>膜14c上にCVD法により5~10nmの厚さに堆積されたSiN膜14bと、前記SiN膜14bの表面に形成された3~10nmの厚さの熱酸化膜14aとよりなり、優れたリーク電流特性を有している。

#### 【0007】

次に図2 (C) の工程において、前記フラッシュメモリセル領域A上にレジストパターン15Aを形成し、前記レジストパターン15Aをマスクに、前記Si基板11上のONO膜14、アモルファスシリコン膜13およびトンネル絶縁膜

12Aを、前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cにおいて除去し、前記領域BおよびCにおいて前記Si基板11の表面を露出する。前記トンネル絶縁膜12Aの除去工程においてはHFによるウェットエッチングが実行され、その結果前記Si基板11の表面が前記領域BおよびCにおいてはHFに曝される。

## 【0008】

次に図2(D)の工程において前記レジストパターン15Aを除去し、さらに800～1100°Cの温度で熱酸化工程を行うことにより、前記領域BおよびC上に、前記Si基板11を覆うように熱酸化膜12C(熱窒化酸化膜を用いても可)を10～50nmの厚さに形成する。

## 【0009】

さらに図3(E)の工程において前記Si基板11上に前記フラッシュメモリセル領域Aにおいて前記ONO膜14を覆うように、また前記高電圧トランジスタ形成領域Cにおいて前記熱酸化膜12Cを覆うように次のレジストパターン15Bを形成し、前記レジストパターン15Bをマスクに、前記Si基板11上の熱酸化膜12Cを前記低電圧動作トランジスタ領域BにおいてHF処理により除去し、前記Si基板11の表面を露出する。図3(E)の工程により、前記領域BにおいてはSi基板11の表面が二度目のHF処理を受ける。

## 【0010】

次に図3(F)の工程において前記レジストパターン15Bを除去し、さらに前記領域Bにおいて露出したSi基板11上に800～1100°Cにおける熱酸化処理により、厚さが3～10nmの熱酸化膜12B(熱窒化酸化膜を用いても可)を形成する。また図3(F)の工程では、前記熱酸化膜12Bを形成する熱酸化工程の結果、前記高電圧動作トランジスタ領域C上に形成されている前記熱酸化膜12Cの厚さが増大する。

## 【0011】

次に図4(G)の工程において図3(F)の構造上にPドープしたアモルファスシリコン膜16(ポリシリコン膜でも可、また後の工程でドープしても可)がプラズマCVD法により100～250nmの厚さに堆積され、次いで図4(H)

) の工程において前記レジストパターン17Aをマスクに前記アモルファスシリコン膜16, 前記ONO膜14および前記アモルファスシリコン膜13を順次パターニングすることにより、前記フラッシュメモリセル領域Aにおいてアモルファスシリコンパターン13A, ONOパターン14Aおよびアモルファスシリコンパターン16Aよりなり、前記アモルファスシリコンパターン13Aをフローティングゲート電極として含むフラッシュメモリの積層ゲート電極構造16Fが形成される。なお図4(G)の工程において前記アモルファシリコン膜16上に必要に応じてWSiやCosiなどのシリサイド膜を形成することも可能である。また、ノンドープポリシリコン膜を形成し、後のイオン注入工程にてn型(P, As等)、あるいはp型(B, BF<sub>2</sub>等)のゲート電極を形成することも可能である。

#### 【0012】

次に図5(I)の工程において前記レジストパターン17Aが除去され、新にレジストパターン17Bが、前記フラッシュメモリセル領域Aを覆うように形成され、前記レジストパターン17Bをマスクに前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cにおいて前記アモルファスシリコン膜16をパターニングすることにより、前記領域Bに低電圧動作トランジスタのゲート電極16Bが、また前記領域Cに高電圧動作トランジスタのゲート電極16Cが形成される。

#### 【0013】

次に図5(J)の工程において前記レジストパターン17Bを除去し、800～900°Cでの熱酸化処理により、前記フラッシュメモリセル領域Aにおいて前記積層ゲート電極構造16Fを覆うように、また前記低電圧動作トランジスタ形成領域Bにおいて前記ゲート電極16Bを覆うように、さらに前記高電圧動作トランジスタ形成領域Cにおいて前記ゲート電極16Cを覆うように、保護酸化膜18が形成される。

#### 【0014】

次に図6(K)の工程において、図5(J)の構造上に前記低電圧動作トランジスタおよび高電圧動作トランジスタの形成領域BおよびCを覆うように、また

前記フラッシュメモリセル領域Aを部分的に覆うようにレジストパターン19Aが形成され、前記レジストパターン19Aおよび前記積層ゲート電極16FをマスクにP+ (As+でも可) のイオン注入を、典型的には30~80keVの加速電圧で、 $1 \times 10^{14} \text{ cm}^{-2}$ ~ $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で行い、前記Si基板11中に前記積層ゲート電極16Fに隣接してn型拡散領域11aを形成する。

## 【0015】

図6 (K) の工程では、さらに前記レジストパターン19AをマスクにAs+のイオン注入を、典型的には30~50keVの加速電圧で、 $1 \times 10^{15}$ ~ $6 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行い、前記n型拡散領域11a内に別のn型拡散領域11bを形成する。図6 (K) の工程では、前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cは前記レジストパターン19Aにより覆われているため、イオン注入は生じない。

## 【0016】

次に図6 (L) の工程において前記レジストパターン19Aが除去され、新にレジストパターン19Bが前記領域Aを露出するように、また前記領域BおよびCを覆うように形成される。図6 (L) の工程ではさらに前記レジストパターン19BをマスクにAs+ (P+でも可) のイオン注入が30~50keVの加速電圧下、 $5 \times 10^{14}$ ~ $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で実行され、その結果前記n型拡散領域11b中の不純物濃度が増大すると同時に、前記フラッシュメモリ領域A中にさらに別のn型拡散領域11cが、前記積層ゲート構造16Fを自己整合マスクに形成される。このとき図6 (K) の工程は削除することも可能である。

## 【0017】

次に図7 (M) の工程において前記レジストパターン19Bは除去され、前記低電圧動作トランジスタ領域Bのみを露出するようにレジストパターン19Cが前記Si基板11上に形成される。さらに図7 (M) の工程では前記レジストパターン19Cをマスクにp型不純物あるいはn型不純物をイオン注入し、前記領域Bにおいて前記ゲート電極16Bを自己整合マスクに、一対のLDD拡散領域11dを前記Si基板11中、前記ゲート電極16Bの両側に形成する。

## 【0018】

次に図7（N）の工程において前記レジストパターン19Cは除去され、前記高電圧動作トランジスタ領域Cのみを露出するようにレジストパターン19Dが前記Si基板11上に形成される。さらに図7（N）の工程では前記レジストパターン19Dをマスクにp型あるいはn型の不純物元素がイオン注入され、前記Si基板11中、前記ゲート電極16Cの両側に一对のLDD拡散領域11eが形成される。前記拡散領域11eと11dとは、同一工程で形成することも可能である。

#### 【0019】

さらに図8（O）の工程において前記積層ゲート電極16F、前記ゲート電極16Bおよび前記ゲート電極16Cの両側に側壁絶縁膜16sがCVD酸化膜の堆積およびエッチバックにより形成され、図8（P）の工程において前記フラッシュメモリセル領域Aを覆うレジストパターン19Eを、前記レジストパターン19Eが前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cを露出するように形成される。さらにp型不純物元素あるいはn型不純物元素を前記レジストパターン19Eおよびゲート電極16B、16Cをマスクにイオン注入することにより、前記領域Bにおいては前記Si基板11中、前記ゲート電極16Bの外側にp+型あるいはn+型の拡散領域11fが形成される。同様に前記領域Cにおいては前記Si基板中、前記ゲート電極16Cの外側にp+型あるいはn+型の拡散領域11gが形成される。前記拡散領域11fおよび11gの表面には、必要に応じてサリサイド工程によりWSiやCosiなどの低抵抗シリサイド膜を形成することも可能である。

#### 【0020】

さらに図9（Q）の工程において前記Si基板11上に層間絶縁膜20が前記領域A～Cを連続して覆うように形成され、さらに前記層間絶縁膜20中に前記領域Aにおいては前記拡散領域11bおよび11cを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ20Aが形成される。同様に前記領域Bにおいては前記拡散領域12fを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ20Bが形成される。また前記領域Cにおいては前記層間絶縁膜20中に前記拡散領域12gを露出するコンタクトホ

ールが形成され、前記コンタクトホール中にはWプラグ20Cが形成される。

#### 【0021】

##### 【発明が解決しようとする課題】

ところで、このような積層ゲート電極構造16Fを有するフラッシュメモリ装置を含む半導体集積回路装置の製造工程では、図5（J）の工程において前記積層ゲート電極構造16Fの側壁面に厚さが5～10nmの保護酸化膜18が800～900°Cにおける熱酸化処理工程により形成されるが、かかる熱酸化工程の結果、かかる保護酸化膜18は、図10（A），（B）に示すように前記積層ゲート電極構造16Fのみならず、前記低電圧動作トランジスタ領域B上に形成されたゲート電極16Bの側壁面、および前記高電圧動作トランジスタ領域Cに形成されたゲート電極16Cの側壁面上にも形成される。

#### 【0022】

その際、図10（B）に円で囲んで示すように、前記保護酸化膜18は前記領域Bにおいてゲート電極16Bの下に食い込むバースピークを形成してしまう。このため特にゲート長が短く、従ってゲート酸化膜12Bの厚さの薄い低電圧動作トランジスタでは、実質的なゲート酸化膜の膜厚変動がゲート電極16B直下において生じてしまい、その結果しきい値特性が所望の値からずれてしまう問題が生じる。

#### 【0023】

このような問題は、前記保護酸化膜18を形成しなければ勿論発生しないが、前記保護酸化膜18を形成しない場合、図11（B）に示すように前記フローティングゲート電極13中に保持された電子はCVD工程とエッチバック工程により形成された側壁絶縁膜16sへと散逸してしまい、フラッシュメモリ装置中に蓄積された情報は短時間で失われてしまう。これに対し、図11（A）に示すように前記フローティングゲート電極13の側壁にリーク電流の少ない高品質な熱酸化膜18を形成した場合には、前記フローティングゲート電極13中に注入された電子は安定に保持される。

#### 【0024】

このようなことから、フラッシュメモリ装置を含む半導体集積回路装置では、

かかる保護酸化膜18を形成するのは不可欠であるが、一方で、かかる保護酸化膜を形成することによる周辺回路あるいは論理回路を構成するMOSトランジスタのしきい値特性の変動の問題もまた不可避的に生じてしまう。かかるMOSトランジスタのしきい値特性の変動の問題は、特にMOSトランジスタがゲート長の短い高速トランジスタである場合に顕著に現れる。

## 【0025】

図12は、本発明の関連技術による単層ゲート電極構造を有するフラッシュメモリセルの構成を示す平面図である。

## 【0026】

図12を参照するに、Si基板11上にはフィールド酸化膜11Fにより素子領域11Aが画成されており、前記フローティングゲート電極パターン13Aの一端が前記Si基板11上に前記素子領域11Aを横切るように形成されている。前記素子領域11A中には前記フローティングゲート電極パターン13Aを自己整合マスクに、片側にn-型のソース領域11aおよびn+型のソースライン領域11bが形成され、他の側にn+型のドレイン領域11cとが形成されている。

## 【0027】

前記Si基板11上には前記素子領域11Aに隣接して別の素子領域11Bが形成されており、前記素子領域11B中にはn+型拡散領域11Cが形成されている。前記フローティングゲート電極パターン13Aは他端に前記拡散領域11Cを覆うカップリング部13Acが形成されている。

## 【0028】

図13(A)は図12中、X-X'に沿った断面図を示す。

## 【0029】

図13(A)を参照するに、前記Si基板11上には前記ソースライン領域11bとドレイン領域11cとの間にトンネル酸化膜12Aが形成されており、前記フローティングゲート電極パターン13Aは前記トンネル酸化膜12A上に形成されているのがわかる。また前記Si基板11中には前記n+型ソースライン領域11bの外側にn-型のソース領域11aが形成されているのがわかる。前

記フローティングゲート電極パターン13Aの側壁には側壁絶縁膜が形成されている。

## 【0030】

図13(B)は、図12中Y-Y'に沿った断面図を示す。

## 【0031】

図13(B)を参照するに前記フローティングゲート電極パターン13Aは、前記Si基板11上のフィールド酸化膜11F上を図13(A)のフラッシュメモリセルが形成された素子領域11Aから隣接する素子領域11ACへと連続的に延在しているのがわかる。前記フローティングゲート電極パターン13Aの端部13Acは、前記高濃度拡散領域11Cと、酸化膜12Acを介して容量結合している。

## 【0032】

そこで書き込み(program)動作時に図14(A), (B)に示すように前記ソースライン領域11bを設置し、前記ドレイン領域に+5Vのドレイン電圧を印加し、さらに前記高濃度拡散領域11Cに+10Vの書き込み電圧を印加することにより前記フローティングゲート電極13Aの電位が上昇し、前記素子領域11Aにおいて前記フローティングゲート電極13A中のホットエレクトロンの注入が、トンネル酸化膜12Aを介して生じる。

## 【0033】

一方消去(erase)動作時には図14(C), (D)に示すように前記ドレイン領域11cおよび前記高濃度拡散領域11Cを接地し、前記ソースライン領域11bに+15Vの消去電圧を印加する。その結果、前記フローティングゲート電極13A中の電子は前記ソース領域11aへと前記トンネル酸化膜12A中をトンネリングし、さらに前記ソースライン領域11bを通ってソース電源に吸収される。

## 【0034】

このように図12のフラッシュメモリでは前記高濃度拡散領域11Cがコントロールゲート電極の役割を果たし、従来の積層ゲート構造のフラッシュメモリと異なり、ポリシリコンフローティングゲート電極とポリシリコンコントロールゲ

ート電極との間に先に説明したONON膜14を形成する必要がない。図31のフラッシュメモリで前記ONON膜14の役割を果たすのは酸化膜12Acであるが、前記酸化膜12AcはSi基板11上に熱酸化処理により形成できるため、高品質である。

## 【0035】

図15(A)～図21(M)は、低電圧動作トランジスタBおよび高電圧動作トランジスタCの他に図12のフラッシュメモリセルを含んだ半導体集積回路装置を製造した場合の製造工程を示す図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0036】

図15(A)を参照するに、前記Si基板11上には、フラッシュメモリセル領域A、低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cの各々に800～1100°Cの温度での熱酸化処理により、熱酸化膜12Cが5～50nmの厚さに形成され、図15(B)の工程においてレジストパターン15<sub>1</sub>を使ったパターニング工程により、前記熱酸化膜12Cが前記フラッシュメモリセル領域Aから除去される。

## 【0037】

次に図16(C)の工程において前記レジストパターン15<sub>1</sub>は除去され、さらに800～1100°Cの温度で熱酸化処理を行うことにより、前記領域A上において前記Si基板11の表面にトンネル酸化膜12Aを5～15nmの厚さに形成する。図16(C)の工程では、前記トンネル酸化膜12Aを形成する熱酸化処理工程の結果、前記領域B～Dの各々において、前記熱酸化膜12Cの成長が生じる。

## 【0038】

次に図16(D)の工程においてレジストパターン15<sub>2</sub>を使ったパターニング工程により、前記中電圧動作トランジスタ領域Bにおいて前記熱酸化膜12Cが除去され、次に図17(E)の工程において前記レジストパターン15<sub>2</sub>を除去した後、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域B上に熱酸化膜12Bを3～10nmの厚さに形成する。図17(E)の工程

では、前記熱酸化膜12Bを形成する熱酸化処理工程の結果、前記領域Aにおいて前記トンネル酸化膜12Aの成長が、また前記領域Cにおいて前記熱酸化膜12Cの成長が生じる。

## 【0039】

次に図17(F)の工程において前記Si基板11上に一様にPドープされたアモルファスシリコン膜13を150~200nmの厚さに堆積し、これを図18(G)の工程においてレジストパターン17<sub>1</sub>をマスクにパターニングし、前記フラッシュメモリセル領域Aにおいてフローティングゲート電極パターン13Aを、また前記低電圧動作トランジスタ領域Bにおいてゲート電極パターン13Bを、さらに前記高電圧動作トランジスタ領域Cにおいてゲート電極パターン13Cを形成する。

## 【0040】

次に図18(H)の工程において、前記フローティングゲート電極パターン13Aおよびゲート電極パターン13B~13Dの表面を800~900°Cでの熱酸化処理工程により5~10nmの厚さの熱酸化膜18により覆い、図19(I)の工程においてレジストパターン17<sub>2</sub>をマスクにP+あるいはAs+を50~80keVの加速電圧下、 $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、ソース領域11aを形成する。

## 【0041】

さらに図19(J)の工程においてレジストパターン17<sub>3</sub>により前記領域B~Cを覆い、前記領域Aにおいて前記フローティングゲート電極パターン13Aを自己整合マスクにAs+のイオン注入を30~50keVの加速電圧下、 $5 \times 10^{14} \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記ソース領域11aの内側にn+型のソースライン領域11bを、また前記ソース領域11aのチャネル領域を隔てて反対側にn+型のドレイン領域11cを形成する。

## 【0042】

次に図20(K)の工程において前記フラッシュメモリセル領域Aを覆うレジストパターン17<sub>3</sub>を形成し、p型あるいはn型不純物元素をイオン注入することにより、前記領域BにLDD領域11dを、前記領域CにLDD領域11eを

、それぞれ形成する。

#### 【0043】

さらに図20(L)の工程において前記フローティングゲート電極パターン13Aおよびゲート電極パターン13B～13Cの両側壁面に側壁酸化膜16sが形成され、図21(M)の工程において前記フラッシュメモリ領域Aをレジストパターン17<sub>4</sub>で覆った状態で前記領域B～Cの各々においてp型あるいはn型の不純物元素をイオン注入し、拡散領域11f, 11gを形成する。

#### 【0044】

かかる単層ゲート構造のフラッシュメモリ装置の製造においても、図18(H)の工程において、図22(A)に詳細に示すように、前記フラッシュメモリセル領域Aにおいて単層ゲート電極構造13Aを覆うように熱酸化膜18を保護絶縁膜として形成する際に、同じ熱酸化膜18が前記低電圧トランジスタ領域Bにおいても図22(B)に示すようにゲート電極13Bを覆うように形成されてしまい、その結果図22(B)中、円で囲んで示すように前記ゲート電極13Bの直下に侵入するバーズピークが形成されてしまう。このため、前記領域Bに形成される低電圧動作トランジスタでは、所望のしきい値特性を得ることができなくなってしまう。

#### 【0045】

そこで、本発明は上記の課題を解決した新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

#### 【0046】

本発明のより具体的な課題は、基板上にフラッシュメモリ装置を含む半導体集積回路装置を形成する半導体装置の製造方法において、前記基板上に前記フラッシュメモリ装置と共に形成される別の半導体装置のゲート電極直下におけるバーズピーク形成を効果的に抑制できる製造方法を提供することにある。

#### 【0047】

##### 【課題を解決するための手段】

本発明は上記の課題を、基板と、前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、前記基板上の素子領域に形成された半導体装置とよりなる

半導体集積回路装置であって、前記不揮発性メモリ装置は、前記メモリセル領域において前記基板表面を覆うトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電極と、前記フローティングゲート電極上に形成された絶縁膜と、前記絶縁膜上に形成されたコントロールゲート電極とよりなる積層ゲート電極構造を含み、前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とよりなり、前記フローティングゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、前記トンネル絶縁膜と前記フローティングゲート電極との界面には、熱酸化膜よりなり前記フローティングゲート電極の側壁面から前記界面に沿って前記フローティングゲート電極の内側に侵入するバーズピーク構造が形成されており、前記ゲート絶縁膜は、前記基板表面と前記ゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置により、解決する。

## 【0048】

本発明はまた、基板と、前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置であって、前記不揮発性メモリ装置は、前記メモリセル領域中に形成され、トンネル絶縁膜で覆われた第1の活性領域と、前記メモリセル領域中、前記第1の活性領域近傍に形成され、絶縁膜により覆われた第2の活性領域と、前記第2の活性領域中に形成された埋込拡散領域よりなるコントロールゲートと、前記メモリセル領域中に、前記第2の活性領域と前記第1の活性領域との間を架橋するように延在し、前記第2の活性領域において前記埋込拡散領域と前記絶縁膜を介して容量性結合を形成し、前記第1の活性領域において前記トンネル絶縁膜上を延在する第1のゲート電極と、前記第1の活性領域中、前記第1のゲート電極の両側に形成された一対の拡散領域とよりなり、前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された第2のゲート電極とよりなり、前記第1のゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、前記トンネル絶縁膜と前記第1のゲート電極との界面には、熱酸化膜よりなり前記第1のゲート電極の側壁面から前

記界面に沿って前記第1のゲート電極の内側に侵入するバーズピーク構造が形成されており、前記ゲート絶縁膜は、前記基板表面と前記第2のゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置により、解決する。

## 【0049】

さらに本発明は上記の課題を、メモリセル領域と第1の素子領域と第2の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第1の素子領域に対応して第1の半導体装置を形成し、前記第2の素子領域に対応して第2の半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記第1の素子領域を覆う第1のゲート絶縁膜と、前記第2の素子領域を覆う前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記第1の素子領域において前記第1のゲート絶縁膜を覆うように、さらに前記第2の素子領域において前記第2のゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、前記第1および第2の素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的に前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記第1および第2の素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、前記第1および第2の素子領域において前記第2のシリコン膜をパターニングし、第1および第2のゲート電極をそれぞれ形成する工程と、前記第1および第2の素子領域において、前記第1および第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを

特徴とする半導体集積回路装置の製造方法により解決する。

【0050】

また本発明は上記の課題を、メモリセル領域と第1の素子領域と第2の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第1の素子領域に対応して第1の半導体装置を形成し、前記第2の素子領域に対応して第2の半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記第1の素子領域を覆う第1のゲート絶縁膜と、前記第2の素子領域を覆う前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記第1の素子領域において前記第1のゲート絶縁膜を覆うように、さらに前記第2の素子領域において前記第2のゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、前記第1および第2の素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第3のゲート電極を形成する工程と、前記メモリセル領域において前記第3のゲート電極を覆うように、また前記第1および第2の素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、前記第3のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第3のゲート電極の両側に拡散領域を形成する工程と、前記第1および第2の素子領域において前記シリコン膜をパターニングし、第1および第2のゲート電極をそれぞれ形成する工程と、前記第1および第2の素子領域において、前記第1および第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法により、解決する。

【0051】

本発明はまた上記の課題を、メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセ

ル領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、前記論理素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記論理素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、前記論理素子領域において前記第2のシリコン膜をパターニングし、ゲート電極を形成する工程と、前記論理素子領域において、前記ゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法により、解決する。

## 【0052】

さらに本発明は上記の課題を、メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、前記論理素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングして、第1のゲート電極を形成する工程と、前記メモリセル領域において前記第1のゲート電極を覆うように、また前記論理素子領域において前記シリコン膜表面を覆うように、保護酸化膜を

形成する工程と、前記第1のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第1のゲート電極の両側に拡散領域を形成する工程と、前記論理素子領域において前記シリコン膜をパターニングし、第2のゲート電極を形成する工程と、前記論理素子領域において、前記第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法により、解決する。

#### 【作用】

本発明によれば、前記第1あるいは第2の素子領域においてゲート電極をパターニングするよりも前に、不揮発性メモリセル領域において積層ゲート電極構造あるいはフローティングゲート電極を覆うように保護酸化膜が形成されるため、かかる保護酸化膜形成に伴って前記素子領域中においてゲート電極中に侵入するバーズピーク構造が形成されることはなく、従って前記素子領域中における半導体装置のしきい値特性が変化する問題が回避される。また、本発明によれば、前記不揮発性メモリセル中においてイオン注入工程により拡散領域を形成する際に、前記素子領域がシリコン膜で覆われた状態であるため、かかるシリコン膜をマスクとすることにより、レジスト工程を省略することが可能になる。

#### 【0053】

#### 【発明の実施の形態】

##### 【第1実施例】

図23（A）～図27（I）は、本発明の第1実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

#### 【0054】

本実施例では最初に先に図1（A）～図4（G）で説明した工程が実行され、図23（A）の工程において図4（G）に対応する構造が得られる。このとき、前記Si基板としてSOI基板を使うことも可能である。またトンネル酸化膜の代わりにトンネル窒化膜を使うことも可能である。

#### 【0055】

さらに図23（B）の工程において図4（H）で説明したレジストパターン17Aを使ったパターニングを行うことにより、前記フラッシュメモリセル領域Aにおいて積層ゲート電極構造16Fを形成する。図23（B）の工程では前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cは前記レジストパターン17Aにより覆われており、パターニングはなされない。

#### 【0056】

本実施例では次に図24（C）の工程において前記レジストパターン17Aを除去し、さらに800～900°Cの温度で熱酸化処理を行うことにより、前記積層ゲート電極構造16Fを覆うように熱酸化膜よりなる保護絶縁膜18を形成する。同様な熱酸化膜18は、前記領域BおよびCにおいて、前記アモルファスシリコン膜16表面にも形成される。

#### 【0057】

さらに本実施例では図24（C）の工程において、前記積層ゲート電極構造16Fを自己整合マスクとして使いながらAs+（P+でも可能）先の図6（L）の工程と同様な条件でイオン注入することにより、前記フラッシュメモリセル領域Aにおいて拡散領域11cを形成する。前記拡散領域11b, 11aの側と拡散領域11cの側とは、一対の濃度としても可能である。その際、前記領域BおよびCはアモルファスシリコン膜16に覆われているため、基板11中へのイオン注入は生じない。なお、このときフラッシュメモリ領域のみ開口するレジストパターンパターンを使うことも可能である。

#### 【0058】

さらに図24（D）の工程において先に図5（I）の工程で説明したレジストパターン17Bを使って前記領域BおよびCにおいて前記アモルファスシリコン膜16をパターニングし、低電圧動作トランジスタ領域Bにおいてゲート電極16Bを、また高電圧動作トランジスタ領域Cにおいてゲート電極16Cを形成する。

#### 【0059】

次に図25（E）の工程において先に図7（M）の工程で説明したレジストパターン19Cをマスクに前記領域Bにおいてn型不純物元素あるいはp型不純物

元素のイオン注入を行い、Si基板11中、前記領域BにおいてLDD拡散領域11dを形成する。

#### 【0060】

さらに図25(F)の工程において先に図7(N)の工程で説明したレジストパターン19Dをマスクに前記領域Cにおいてn型不純物元素あるいはp型不純物元素のイオン注入を行い、Si基板11中、前記領域CにおいてLDD拡散領域11eを形成する。なお図25(E)と図25(F)の工程において、前記拡散領域11dと前記拡散領域11eとは同一の工程で、同一のイオン注入条件で形成することも可能である。

#### 【0061】

さらに図26(G)の工程において、先に説明した図8(O)の工程に対応して前記積層ゲート電極構造16F、ゲート電極16Bおよびゲート電極16Cの各々に対して一対の側壁絶縁膜16sが形成され、さらに図26(H)の工程において図8(P)の工程に対応して前記フラッシュメモリセル領域Aをレジストパターン19Eで覆う。図26(H)の工程では、さらに前記領域BおよびCにおいて前記ゲート電極16Bあるいは16Cと側壁絶縁膜16sとを自己整合マスクとしたn型不純物元素あるいはp型不純物元素のイオン注入工程を行うことにより、Si基板11中に拡散領域11fを形成する。

#### 【0062】

さらに図26(H)の構造に対して、先に図9(Q)で説明したのと同様な工程を行うことにより、図9(Q)に対応する図27(I)の構造の半導体集積回路装置が得られる。

#### 【0063】

本実施例では、図24(C)の工程において熱酸化工程により保護絶縁膜18を形成する際に、前記領域BおよびCにおいてはまだアモルファスシリコン膜16がパターニングされておらず、その結果熱酸化膜18は前記アモルファスシリコン膜16の表面には形成されるものの、熱酸化膜18が前記アモルファスシリコン膜16とゲート酸化膜12Bとの界面に形成されることはない。また図24(D)のゲート電極16Bあるいは16Cのパターニング工程の後ではかかる熱

酸化工程は存在しないため、図28（A）に示すように前記積層ゲート構造16Fを覆うように前記保護絶縁膜18を形成しても、図28（B）に円で囲んで示すように、前記ゲート電極16Bの底面にゲート酸化膜12B以外の熱酸化膜が成長することがなく、前記低電圧動作トランジスタのしきい値特性が変化する問題が回避される。

## 【0064】

図28（A）中に円で囲んで示すように、図24（C）の工程では前記保護絶縁膜18の形成に伴ってフローティングゲート電極13Aの下にはバーズピークが形成されるが、前記領域B, CのMOSトランジスタでは、バーズピークが形成されたとしても、その厚さあるいは侵入距離はフローティングゲート電極13Aの下に形成されるバーズピークよりもはるかに小さいことがわかる。

## 【0065】

さらに本実施例では、図29（A）, （B）に示すように図24（C）のイオン注入工程の際、前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cがアモルファスシリコン膜16により覆われているため、前記領域BおよびCにレジストパターンを設ける必要がなく、その結果半導体集積回路装置の製造工程が簡素化される。

## [第2実施例]

図30（A）～図34（I）は、本発明の第2実施例による単層ゲート電極構造のフラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0066】

本実施例においては、最初に先に図15（A）～図16（D）に対応する工程が実行され、図30（A）の工程において図17（E）に対応する構造が得られる。なお、本実施例においてもSi基板11の代わりにSOI基板を使うことが可能である。さらにトンネル酸化膜12Aあるいは熱酸化膜12B, 12Cの代わりに熱窒化酸化膜を使うことも可能である。

## 【0067】

次に図30(B)の工程において、図30(A)の構造上に図17(F)の工程に対応してアモルファスシリコン膜13(ポリシリコン膜でも可、P+によるドープも可)を100~300nmの厚さに堆積し、さらに図31(C)の工程において前記アモルファスシリコン膜13を、レジストパターン27<sub>1</sub>をマスクにパターニングし、フローティングゲート電極13Aを形成する。前記レジストパターン27<sub>1</sub>は前記低電圧トランジスタ領域Bおよび高電圧トランジスタ領域Cを覆い、その結果、図30(B)の工程では、前記領域B~Cにおいては前記アモルファスシリコン膜13のパターニングは生じない。

#### 【0068】

次に図31(D)の工程において前記レジストパターン27<sub>1</sub>が除去され、さらに800~900°Cの温度で熱酸化処理工程を行うことにより、前記領域Aにおいてフローティングゲート電極13Aを覆うように、熱酸化膜よりなる保護絶縁膜18を、5~10nmの厚さに形成する。かかる熱酸化処理工程の結果、前記領域B~Cにおいても、前記アモルファスシリコン膜13の表面に熱酸化膜18が形成される。

#### 【0069】

次に図32(E)の工程において、図31(D)の構造上に図19(I)のレジストパターン17<sub>2</sub>に相当するレジストパターン27<sub>2</sub>を形成し、前記レジストパターン27<sub>2</sub>をマスクに前記Si基板11中にP+(As+でも可)30~80keVの加速電圧下、 $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入することにより、前記フラッシュメモリセル領域Aにおいて前記フローティングゲート電極13Aに隣接して拡散領域11aを形成する。また図32(E)の工程では、前記P+のイオン注入に引き続いて、As+を30~50keVの加速電圧下、 $1 \times 10^{15} \sim 6 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記拡散領域11aの抵抗値を減少させる。

#### 【0070】

次に図32(F)の工程において前記レジストパターン27<sub>2</sub>を除去し、前記領域Aにおいて前記フローティングゲート電極13Aをマスクに、As+を(P+でも可)20~60keVの加速電圧下、 $5 \times 10^{14} \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドー

ズ量でイオン注入することにより、前記S i 基板1 1 中に拡散領域1 1 b および1 1 c を形成する。このとき、図3 2 (E) の工程は削除も可能である。またフラッシュメモリ領域のみ開口するレジストパターンを形成することも可能である。

#### 【0071】

次に図3 3 (G) の工程で図3 2 (F) の構造上に前記フラッシュメモリセル領域A を覆うレジストパターン $27_3$ を形成し、前記領域B～Cにおいて前記アモルファスシリコン膜1 3 を、前記レジストパターン $27_3$ をマスクにパターニングすることにより、ゲート電極1 3 B, 1 3 Cを形成する。

#### 【0072】

さらに図3 3 (H) の工程において前記フラッシュメモリセル領域A を覆うレジストパターン $27_4$ を形成し、前記レジストパターン $27_4$ をマスクにn型不純物元素あるいはp型不純物元素を前記S i 基板1 1 中にイオン注入により導入することにより、前記領域BにはL D D 拡散領域1 1 d が、前記領域CにはL D D 拡散領域1 1 e が形成される。

#### 【0073】

さらに図3 4 (I) の工程において前記レジストパターン $27_4$ を除去し、続いてC V D酸化膜1 6 Sを堆積する。図3 4 (I) の工程では、さらに前記C V D酸化膜1 6 Sを前記フラッシュメモリセル領域Aにおいてレジストパターン $27_5$ により保護し、前記領域B～Cにおいてエッチバックを行うことにより、前記ゲート電極1 3 B, 1 3 Cの各々の側壁面上に側壁酸化膜1 6 sを形成する。

#### 【0074】

さらに図3 4 (I) の構造に対して図2 1 (M) と同様なイオン注入工程を行い、前記S i 基板1 1 中に拡散領域1 1 f, 1 1 gを形成する。さらに、p型あるいはn型のゲート電極を形成することも可能である。

#### 【0075】

図3 5 (A), (B) は、それぞれ本実施例により形成されたフラッシュメモリ装置および低電圧動作トランジスタの構成を詳細に示す。

#### 【0076】

図35(A)よりわかるように、本実施例においてはフローティングゲート電極13Aの両側壁面のみならず上面も前記保護酸化膜18により一様に覆われるため、前記フローティングゲート電極13A中に蓄積された電子は、フラッシュメモリ装置が高温環境下に長期間にわたり放置された場合でも、安定に保持される。

## 【0077】

また本実施例では図31(D)の熱酸化処理工程の際に前記領域B～Cにおいて前記アモルファスシリコン膜13がパターニングされておらず、このため図35(B)に示すように、ゲート電極13B, 13Cの底面に酸化膜のバーズピークが侵入することはない。このため、本実施例では前記フラッシュメモリ装置と共に、同じSi基板上に形成されるMOSトランジスタのしきい値特性が安定し、動作特性が安定する。このしきい値特性および動作特性の改善は、特にゲート長が短くゲート酸化膜の厚さが薄い低電圧駆動トランジスタにおいて顕著である。

## 【0078】

なお、本実施例では図32(F)のイオン注入工程においてレジストパターンを形成する必要がなく、製造工程が簡素化される。

## 【0079】

なお、先の実施例による積層ゲート型フラッシュメモリ装置においても、図27(I)の構成において図34(I)の構成と同様に、積層ゲート構造16Fの側壁面および上面を連続して保護絶縁膜18により覆うことが可能である。

## 【0080】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

## 【0081】

(付記1) 基板と

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置

であって、

前記不揮発性メモリ装置は、前記メモリセル領域において前記基板表面を覆うトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電極と、前記フローティングゲート電極上に形成された絶縁膜と、前記絶縁膜上に形成されたコントロールゲート電極によりなる積層ゲート電極構造を含み、

前記半導体装置装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極によりなり、

前記フローティングゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、

前記トンネル絶縁膜と前記フローティングゲート電極との界面には、熱酸化膜によりなり前記フローティングゲート電極の側壁面から前記界面に沿って前記フローティングゲート電極の内側に侵入するバーズピーク構造が形成されており、

前記ゲート絶縁膜は、前記基板表面と前記ゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置。 (1)

(付記2) 基板と、

前記基板上のメモリセル領域に形成された不揮発性メモリ装置と、

前記基板上の素子領域に形成された半導体装置とよりなる半導体集積回路装置であって、

前記フラッシュメモリ装置は、前記メモリセル領域中に形成され、トンネル絶縁膜で覆われた第1の活性領域と、前記メモリセル領域中、前記第1の活性領域近傍に形成され、絶縁膜により覆われた第2の活性領域と、前記第2の活性領域中に形成された埋込拡散領域によるコントロールゲートと、前記メモリセル領域中に、前記第2の活性領域と前記第1の活性領域との間を架橋するように延在し、前記第2の活性領域において前記埋込拡散領域と前記絶縁膜を介して容量性結合を形成し、前記第1の活性領域において前記トンネル絶縁膜上を延在する第1のゲート電極と、前記第1の活性領域中、前記第1のゲート電極の両側に形成された一対の拡散領域とよりなり、

前記半導体装置は、前記素子領域において前記基板表面を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された第2のゲート電極とよりなり、

前記第1のゲート電極の側壁面は、熱酸化膜よりなる保護絶縁膜により覆われており、

前記トンネル絶縁膜と前記第1のゲート電極との界面には、熱酸化膜よりなり前記第1のゲート電極の側壁面から前記界面に沿って前記第1のゲート電極の内側に侵入するバーズピーク構造が形成されており、

前記ゲート絶縁膜は、前記基板表面と前記第2のゲート電極下面との間に実質的に一様な厚さで介在することを特徴とする半導体集積回路装置。

【0082】

(付記3) 前記前記保護絶縁膜を形成する熱酸化膜は、前記バーズピーク構造に連続することを特徴とする付記1または2記載の半導体集積回路装置。

【0083】

(付記4) 前記保護絶縁膜は、さらに前記第1のゲート電極の上面をも、連続的に覆うことの特徴とする付記1または2記載の半導体集積回路装置。

【0084】

(付記5) 前記ゲート電極および前記コントロールゲート電極は、n型あるいはp型にドープされたシリコン膜を含むポリサイドあるいはポリメタル構造を有することを特徴とする付記1または3記載の半導体装置集積回路装置。

【0085】

(付記6) 前記第2のゲート電極は、n型あるいはp型にドープされたシリコン膜を含むポリサイドあるいはポリメタル構造を有することを特徴とする付記2～4のうち、いずれか一項記載の半導体集積回路装置。

【0086】

(付記7) 前記基板は、SOI基板を用いることを特徴とする付記1～6のうち、いずれか一項記載の半導体装置集積回路装置。

【0087】

(付記8) メモリセル領域と第1の素子領域と第2の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第1の素子領域に対応して第1の半導体装置を形成し、前記第2の素子領域に対応して第2の半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記メモリセル領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記第1の素子領域を覆う第1のゲート絶縁膜と、前記第2の素子領域を覆う前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記第1の素子領域において前記第1のゲート絶縁膜を覆うように、さらに前記第2の素子領域において前記第2のゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、

前記第1および第2の素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記第1および第2の素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、

前記第1および第2の素子領域において前記第2のシリコン膜をパターニングし、第1および第2のゲート電極をそれぞれ形成する工程と、

前記第1および第2の素子領域において、前記第1および第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

#### 【0088】

(付記9) メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル酸化膜と、前記メモリセル

領域において前記トンネル絶縁膜を覆う第1のシリコン膜と、前記メモリセル領域において前記第1のシリコン膜を覆う絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、第2のシリコン膜を堆積する工程と、

前記論理素子領域において前記第2のシリコン膜を残し、前記メモリセル領域において選択的にコントロールゲート電極となる前記第2のシリコン膜と前記絶縁膜と前記第1のシリコン膜とをパターニングし、前記メモリセル領域において積層ゲート電極構造を形成する工程と、

前記メモリセル領域において前記積層ゲート電極構造を覆うように、また前記論理素子領域において前記第2のシリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記積層ゲート電極構造および前記第2のシリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程と、

前記論理素子領域において前記第2のシリコン膜をパターニングし、ゲート電極を形成する工程と、

前記論理素子領域において前記ゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

#### 【0089】

(付記10) 前記第2のシリコン膜を堆積する工程は、前記メモリセル領域および前記第1の素子領域および前記第2の素子領域において、同時に実行されることを特徴とする付記8記載の半導体集積回路装置の製造方法。

#### 【0090】

(付記11) 前記第2のシリコン膜を堆積する工程は、前記メモリセル領域および前記論理素子領域において、同時に実行されることを特徴とする副9記載の半導体集積回路装置の製造方法。

#### 【0091】

(付記12) 前記メモリセル領域において前記積層ゲート電極構造の両側に拡散領域を形成する工程は、レジストマスクを使うことなく実行されることを特徴とする付記8～11のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0092】

(付記13) メモリセル領域と第1の素子領域と第2の素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記第1の素子領域に対応して第1の半導体装置を形成し、前記第2の素子領域に対応して第2の半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記第1の素子領域を覆う第1のゲート絶縁膜と、前記第2の素子領域を覆う前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記第1の素子領域において前記第1のゲート絶縁膜を覆うように、さらに前記第2の素子領域において前記第2のゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記第1および第2の素子領域において前記シリコン膜を残し、前記メモリセル領域において選択的に前記シリコン膜をパターニングし、第3のゲート電極を形成する工程と、

前記メモリセル領域において前記第3のゲート電極を覆うように、また前記第1および第2の素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第3のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第3のゲート電極の両側に拡散領域を形成する工程と、

前記第1および第2の素子領域において前記シリコン膜をパターニングし、第1および第2のゲート電極をそれぞれ形成する工程と、

前記第1および第2の素子領域において、前記第1および第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする

半導体集積回路装置の製造方法。

【0093】

(付記14) メモリセル領域と論理素子領域とを画成された基板上に、前記メモリセル領域に対応して不揮発性メモリ装置を形成し、前記論理素子領域に対応して半導体装置を形成する半導体集積回路装置の製造方法であって、

前記基板上に、前記メモリセル領域を覆うトンネル絶縁膜と、前記論理素子領域を覆うゲート絶縁膜とを含む半導体構造を形成する工程と、

前記半導体構造上に、前記メモリセル領域において前記トンネル絶縁膜を覆うように、また前記論理素子領域において前記ゲート絶縁膜を覆うように、シリコン膜を堆積する工程と、

前記論理素子領域において前記シリコン膜を残し、前期メモリセル領域において選択的に前記シリコン膜をパターニングして、第1のゲート電極を形成する工程と、

前記メモリセル領域において前記第1のゲート電極を覆うように、また前記論理素子領域において前記シリコン膜表面を覆うように、保護酸化膜を形成する工程と、

前記第1のゲート電極および前記シリコン膜をマスクに、前記基板中に不純物元素のイオン注入を行い、前記メモリセル領域において前記第1のゲート電極の両側に拡散領域を形成する工程と、

前記論理素子領域において前記シリコン膜をパターニングし、第2のゲート電極を形成する工程と、

前記論理素子領域において、前記第2のゲート電極をマスクにイオン注入を行い、拡散領域を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【0094】

(付記15) 前記アモルファスシリコン膜を堆積する工程は、前記メモリセル領域および前記第1の素子領域および前記第2の素子領域において、同時に実行されることを特徴とする付記13記載の半導体集積回路装置の製造方法。

【0095】

(付記16) 前記シリコン膜を堆積する工程は、前記メモリセル領域および前記論理素子領域において、同時に実行されることを特徴とする付記14記載の半導体装置集積回路装置の製造方法。

【0096】

(付記17) 前記保護酸化膜を形成する工程は、熱酸化処理工程よりなり、前記保護酸化膜は、熱酸化膜よりなることを特徴とする付記8～11または13～16記載のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0097】

(付記18) 前記メモリセル領域において前記第3のゲート電極の両側に拡散領域を形成する工程は、レジストマスクを使うことなく実行されることを特徴とする付記13または15または17記載の半導体集積回路装置の製造方法。

【0098】

(付記19) 前記第1および第2の素子領域におけるイオン注入工程は、前記メモリセル領域をレジストマスクにより保護した状態で実行されることを特徴とする付記8～18のうち、いずれか一項記載の半導体装置集積回路装置の製造方法。

【0099】

(付記20) 前記ゲート電極および前記第1のゲート電極および前記第2のゲート電極および前記コントロールゲート電極は、n型あるいはp型にドープされたシリコン膜を含むポリサイド構造あるいはポリメタル構造を有することを特徴とする付記8～19のうち、いずれか一項記載の半導体装置集積回路装置の製造方法。

【0100】

【発明の効果】

本発明によれば、前記第1あるいは第2の素子領域においてゲート電極をパターニングするよりも前に、フラッシュメモリセル領域において積層ゲート電極構造あるいはフローティングゲート電極を覆うように保護酸化膜が形成されるため、かかる保護酸化膜形成に伴って前記素子領域中においてゲート電極中に侵入するバーズピーク構造が形成されることはなく、従って前記素子領域中における半

導体装置のしきい値特性が変化する問題が回避される。また、本発明によれば、前記フラッシュメモリセル中においてイオン注入工程により拡散領域を形成する際に、前記素子領域がアモルファスシリコン膜で覆われた状態であるため、かかるアモルファスシリコン膜をマスクとすることにより、レジスト工程を省略することが可能になる。

【図面の簡単な説明】

【図1】

(A), (B) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その1)である。

【図2】

(C), (D) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その2)である。

【図3】

(E), (F) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その3)である。

【図4】

(G), (H) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その4)である。

【図5】

(I), (J) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その5)である。

【図6】

(K), (L) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その6)である。

【図7】

(M), (N) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その7)である。

【図8】

(O), (P) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体

集積回路装置の製造工程を示す図（その8）である。

【図9】

(Q) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その8）である。

【図10】

(A), (B) は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を説明する図である。

【図11】

(A), (B) は、従来の積層ゲート構造フラッシュメモリ装置で使われる保護酸化膜の役割を説明する図である。

【図12】

本発明の関連技術による単層ゲート構造フラッシュメモリ装置の構成を示す平面図図である。

【図13】

(A), (B) は、図12のフラッシュメモリ装置の構成を示す断面図である

【図14】

(A) ~ (D) は、図12のフラッシュメモリ装置の書き込みおよび消去動作を説明する図である。

【図15】

(A), (B) は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その1）である。

【図16】

(C), (D) は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その2）である。

【図17】

(E), (F) は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図（その3）である。

【図18】

(G), (H) は、図12の单層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その4)である。

【図19】

(I), (J) は、図12の单層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その5)である。

【図20】

(K), (L) は、図12の单層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その6)である。

【図21】

(M) は、図12の单層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その7)である。

【図22】

(A), (B) は、図12の单層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を示す図である。

【図23】

(A), (B) は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図24】

(C), (D) は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図25】

(E), (F) は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図26】

(G), (H) は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その4)である。

【図27】

(I) は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その5)である。

【図28】

(A), (B)は、本発明の第1実施例の効果を説明する図である。

【図29】

(A), (B)は、第1実施例の別の効果を説明する図である。

【図30】

(A), (B)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図31】

(C), (D)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図32】

(E), (F)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図33】

(G), (H)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その4)である。

【図34】

(I)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その5)である。

【図35】

(A), (B)は、本発明第2実施例の効果を説明する図である。

【符号の説明】

1 1 基板

1 1 a, 1 1 b, 1 1 c, 1 1 d, 1 1 e, 1 1 f 拡散領域

1 2 A トンネル酸化膜

1 2 B, 1 2 C ゲート酸化膜

1 3, 1 6 アモルファスシリコン膜

1 3 A フローティングゲート電極

1 4 ONO膜

15A, 15B, 17A, 17B, 19A~19E レジストパターン

15<sub>1</sub>, 15<sub>2</sub> レジストパターン

17<sub>1</sub>, 17<sub>2</sub>, 17<sub>3</sub> レジストパターン

16B, 16C ゲート電極

16F フローティングゲート電極

16s 側壁酸化膜

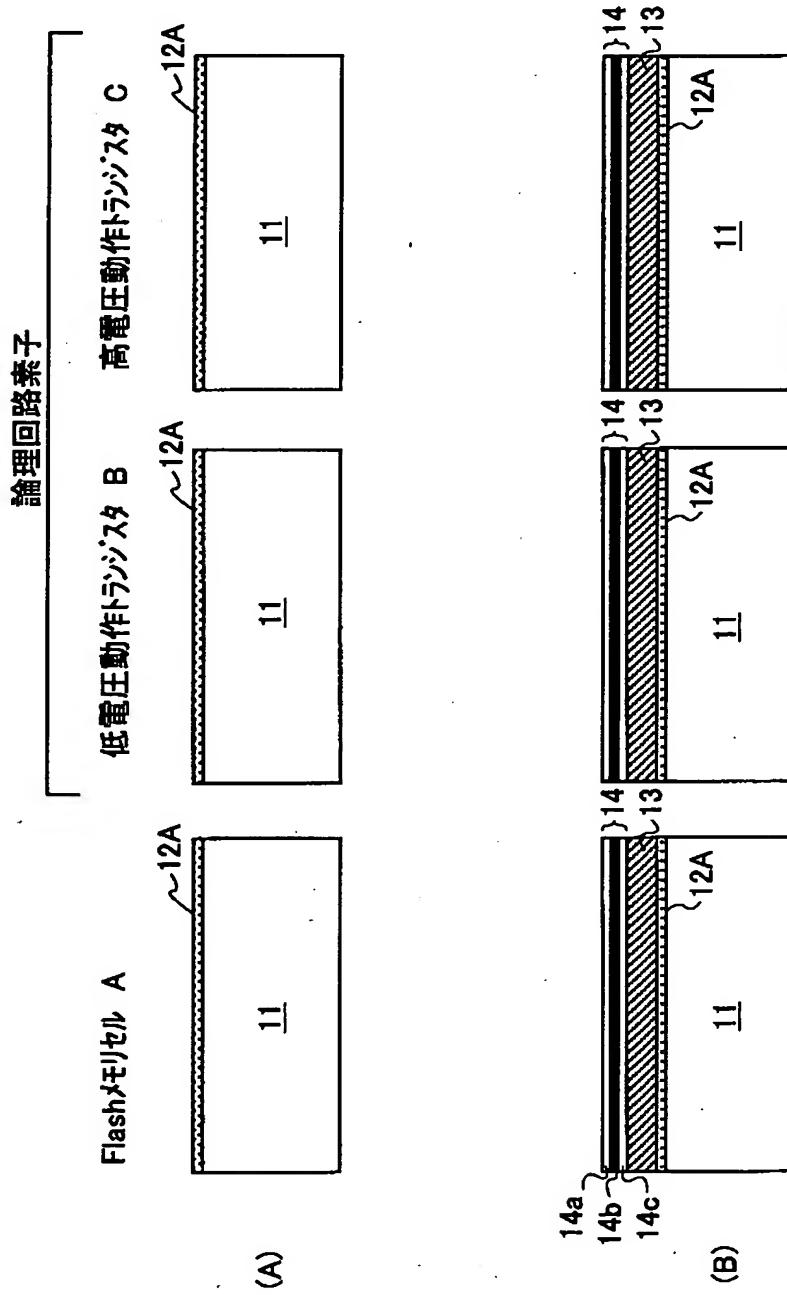
18 保護酸化膜

【書類名】

図面

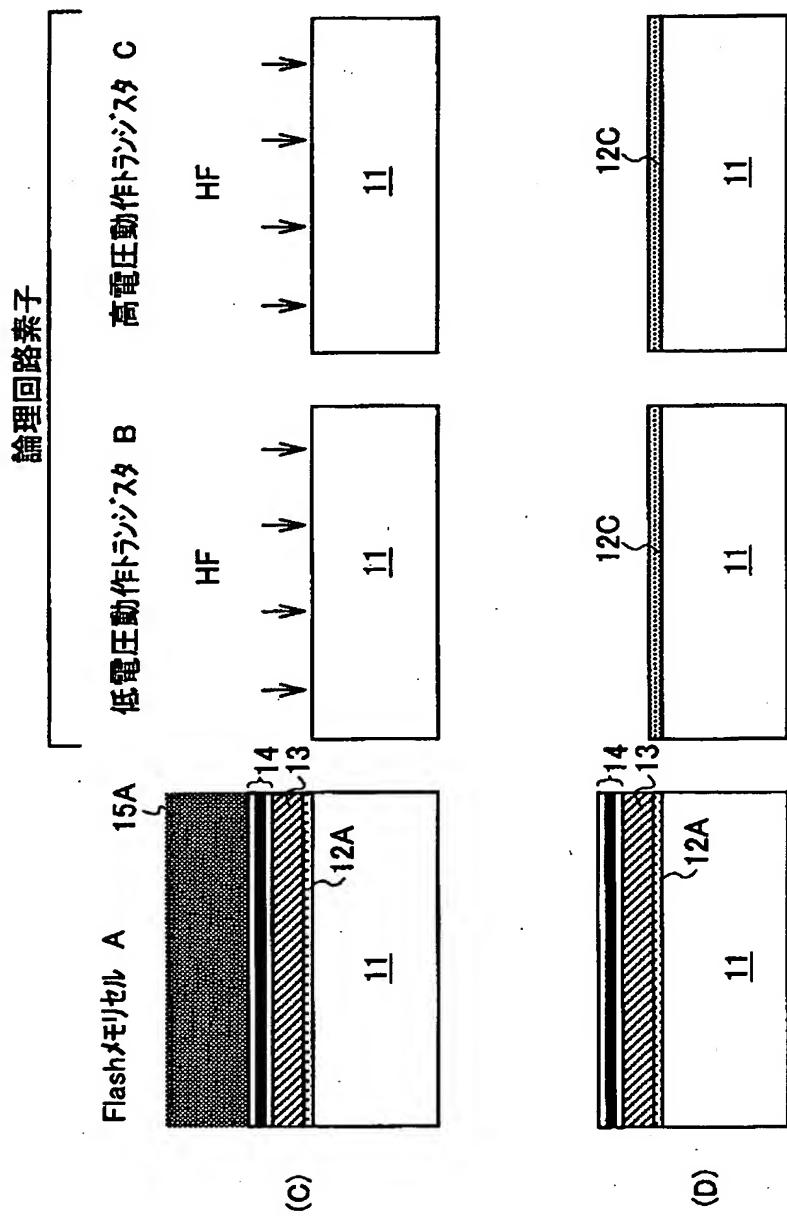
【図1】

(A), (B)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その1)



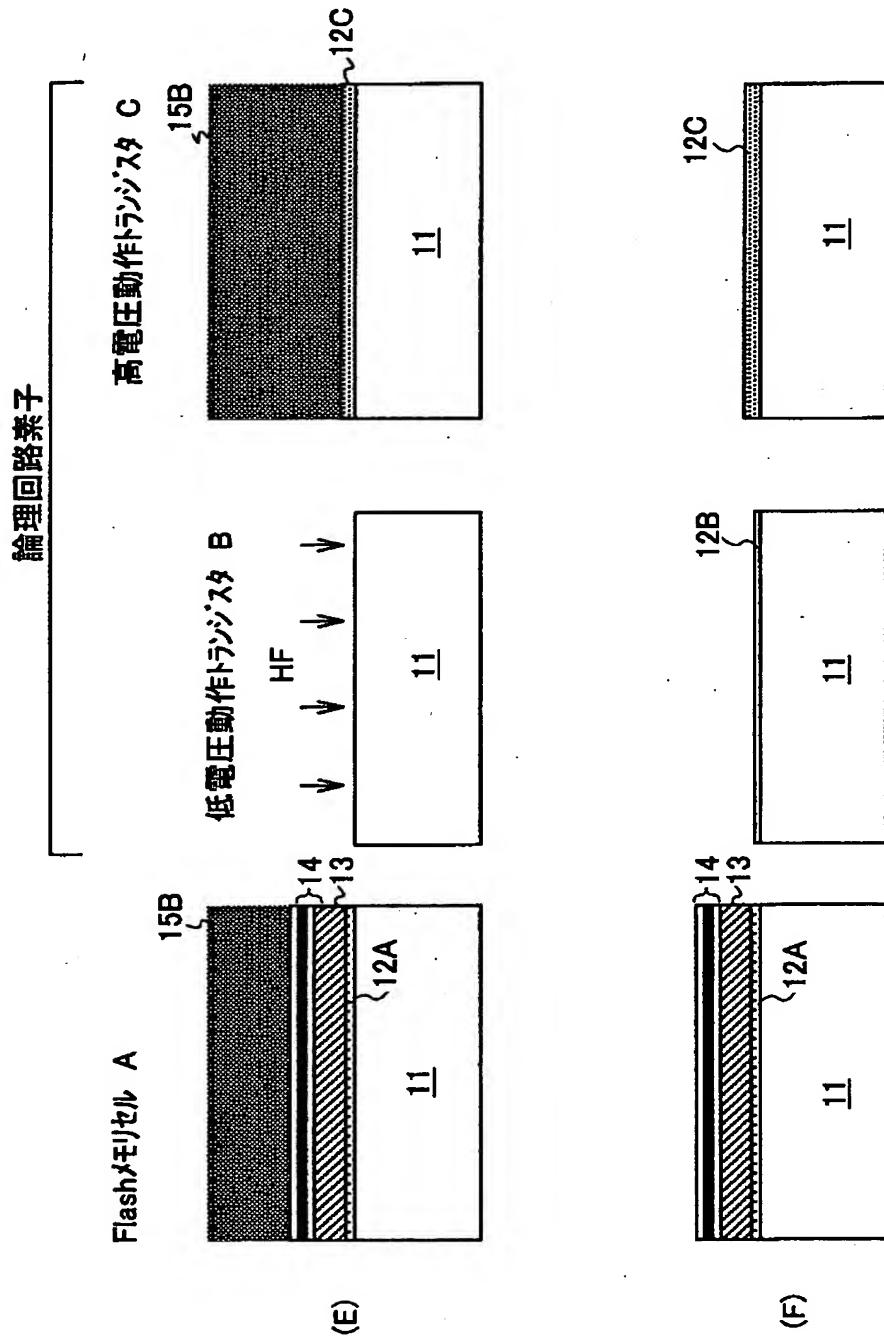
【図2】

(C), (D)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その2)



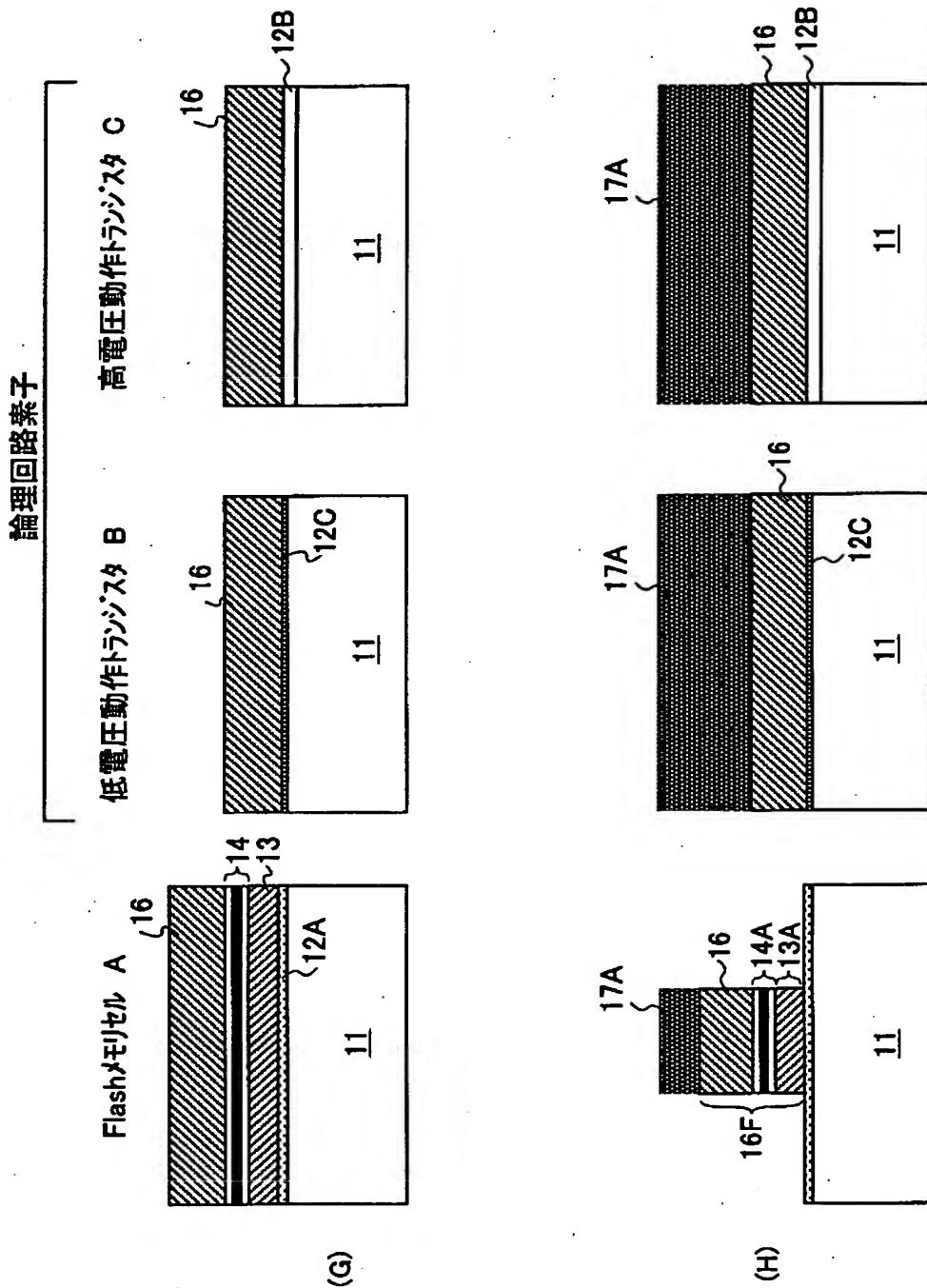
【図3】

(E), (F)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その3)



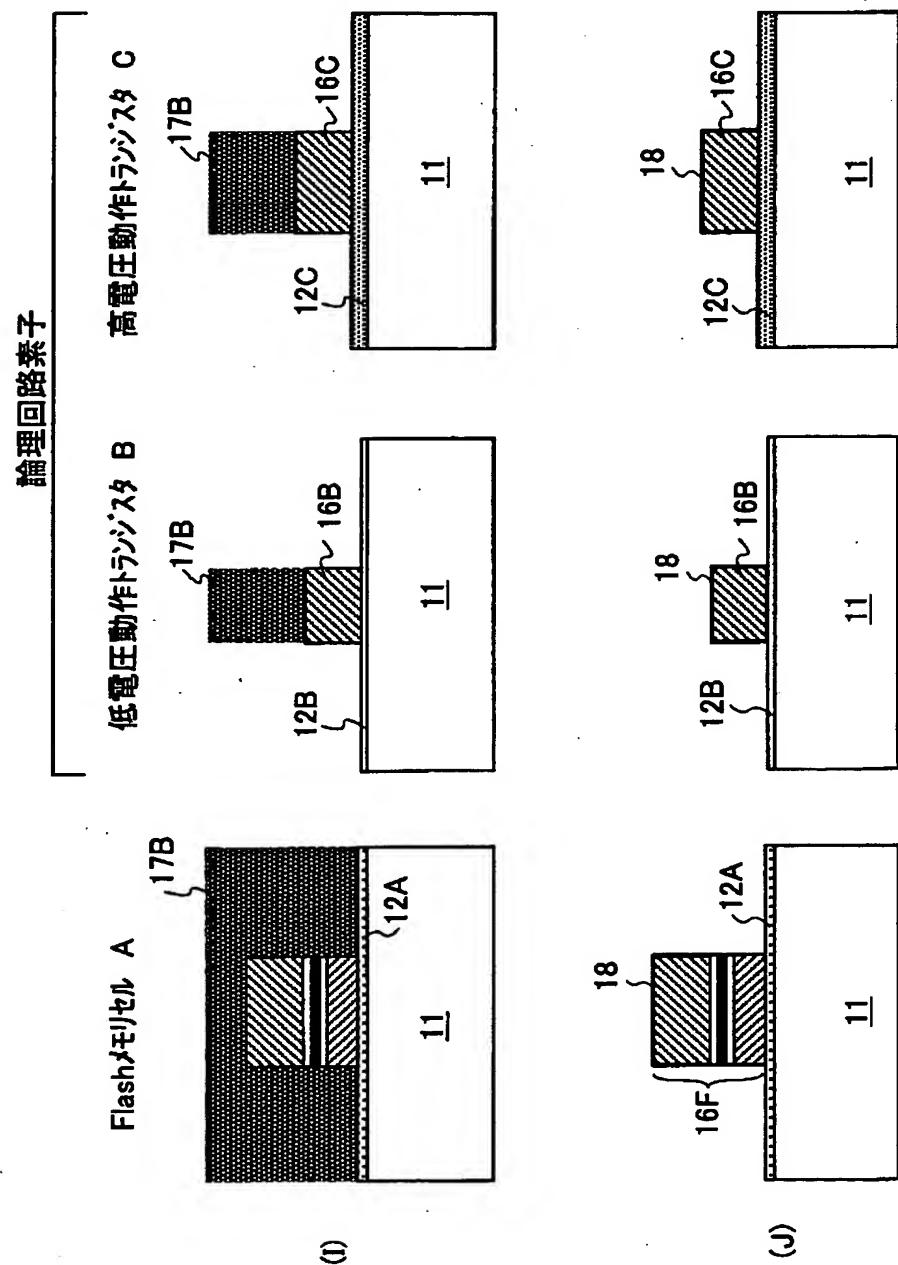
【図4】

(G), (H)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その4)



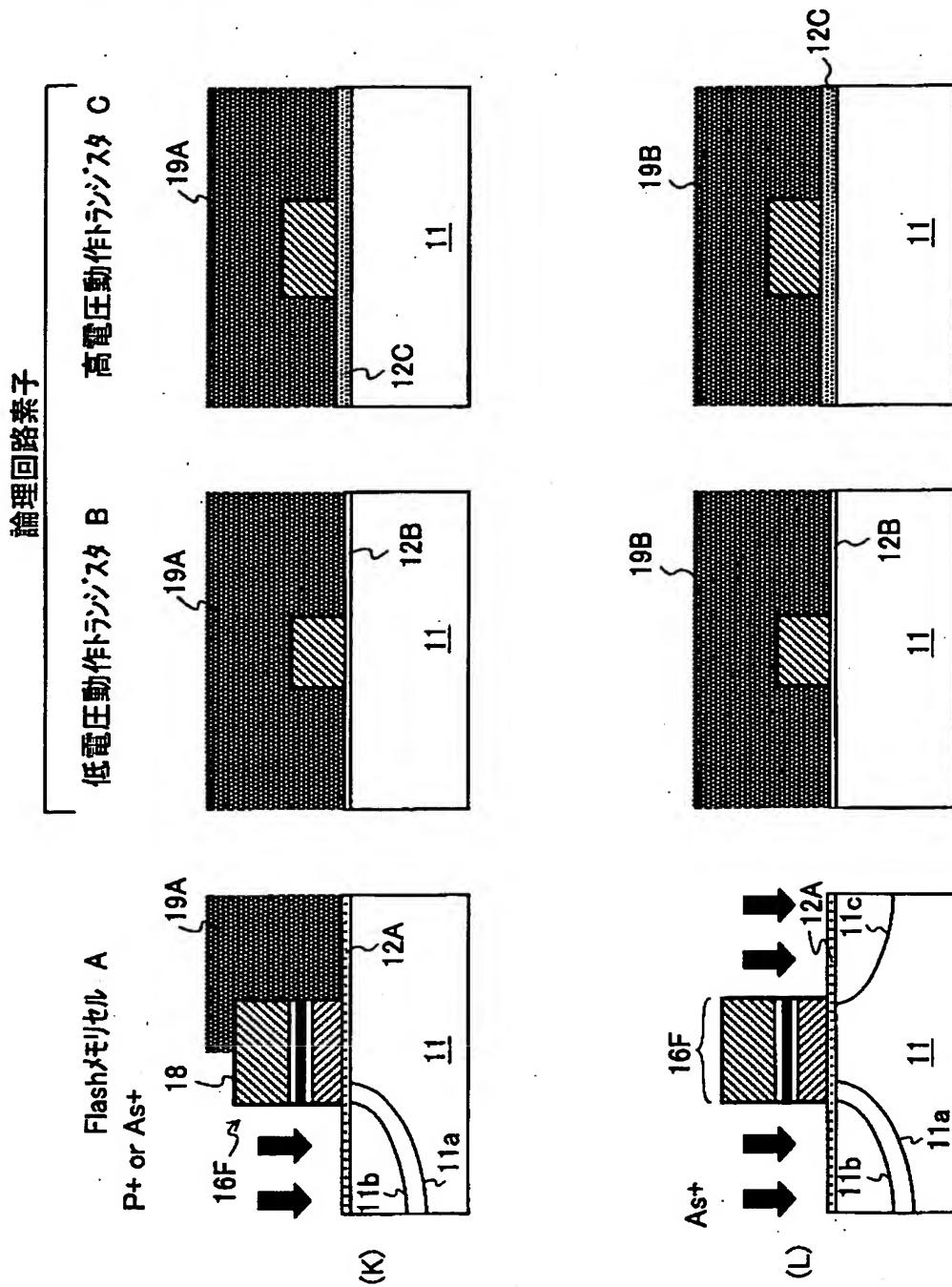
【図5】

(I), (J)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その5)



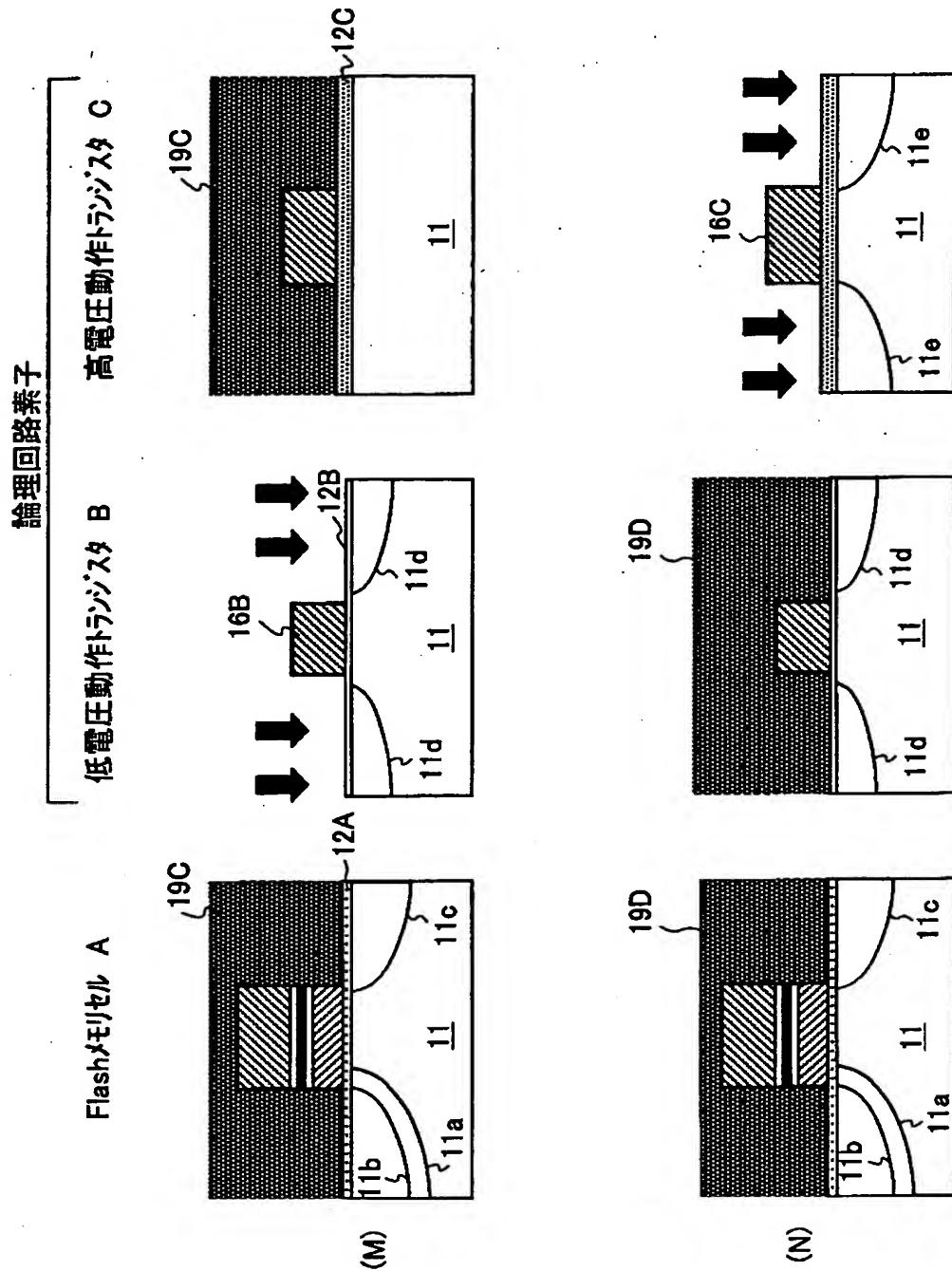
【図6】

(K), (L)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その6)



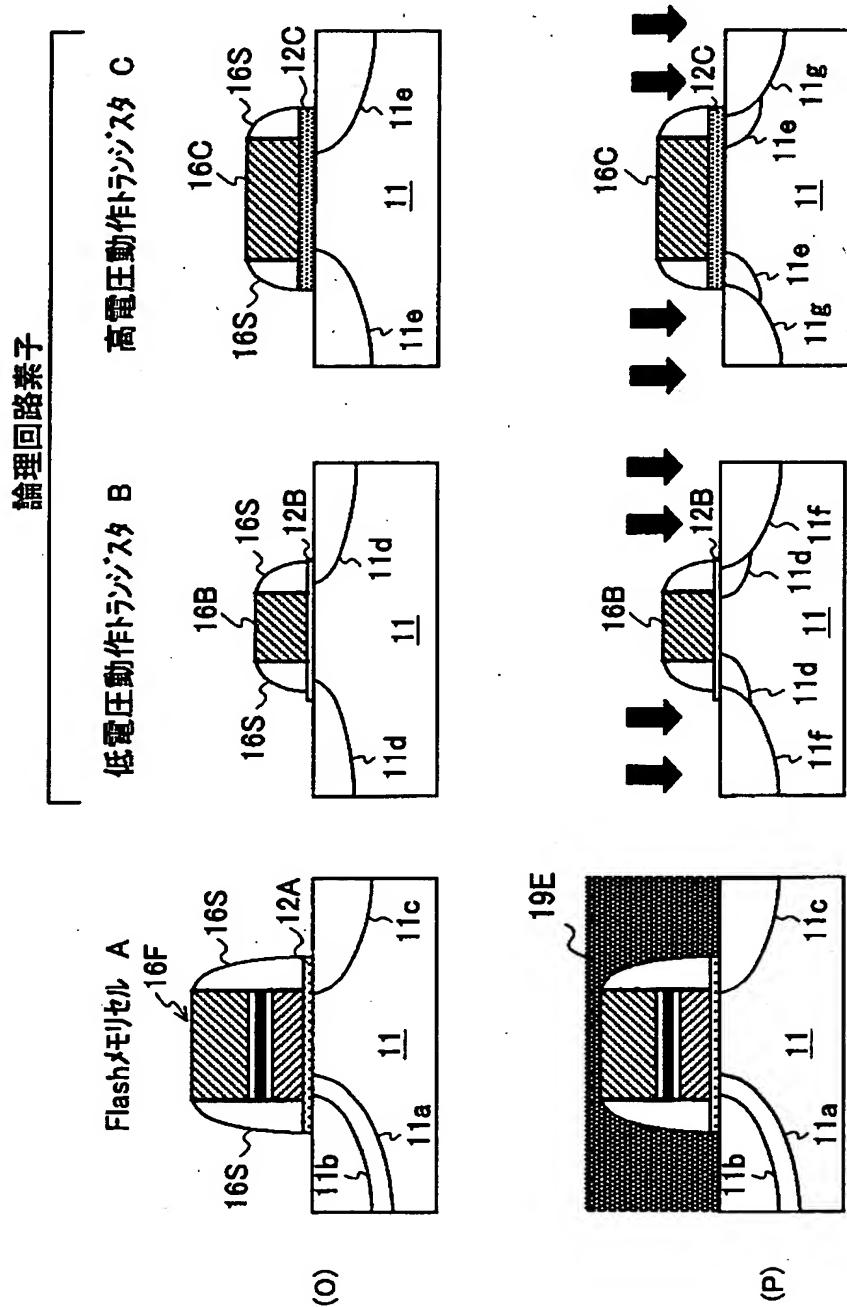
【図7】

(M), (N)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その7)



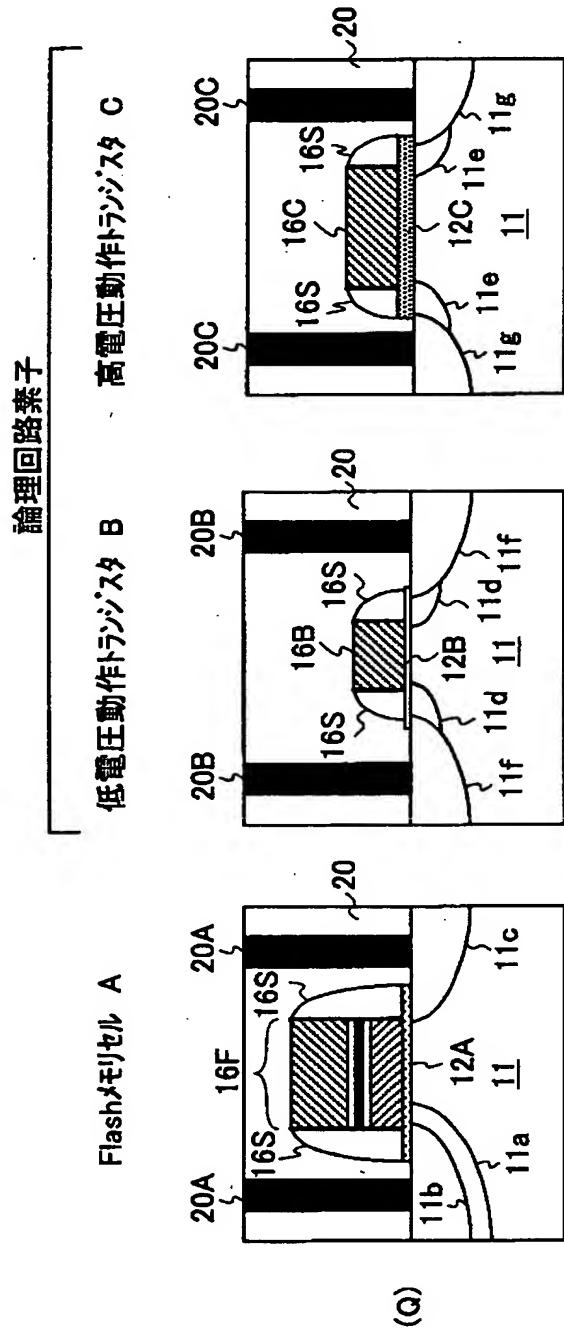
【図8】

(O), (P)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その8)



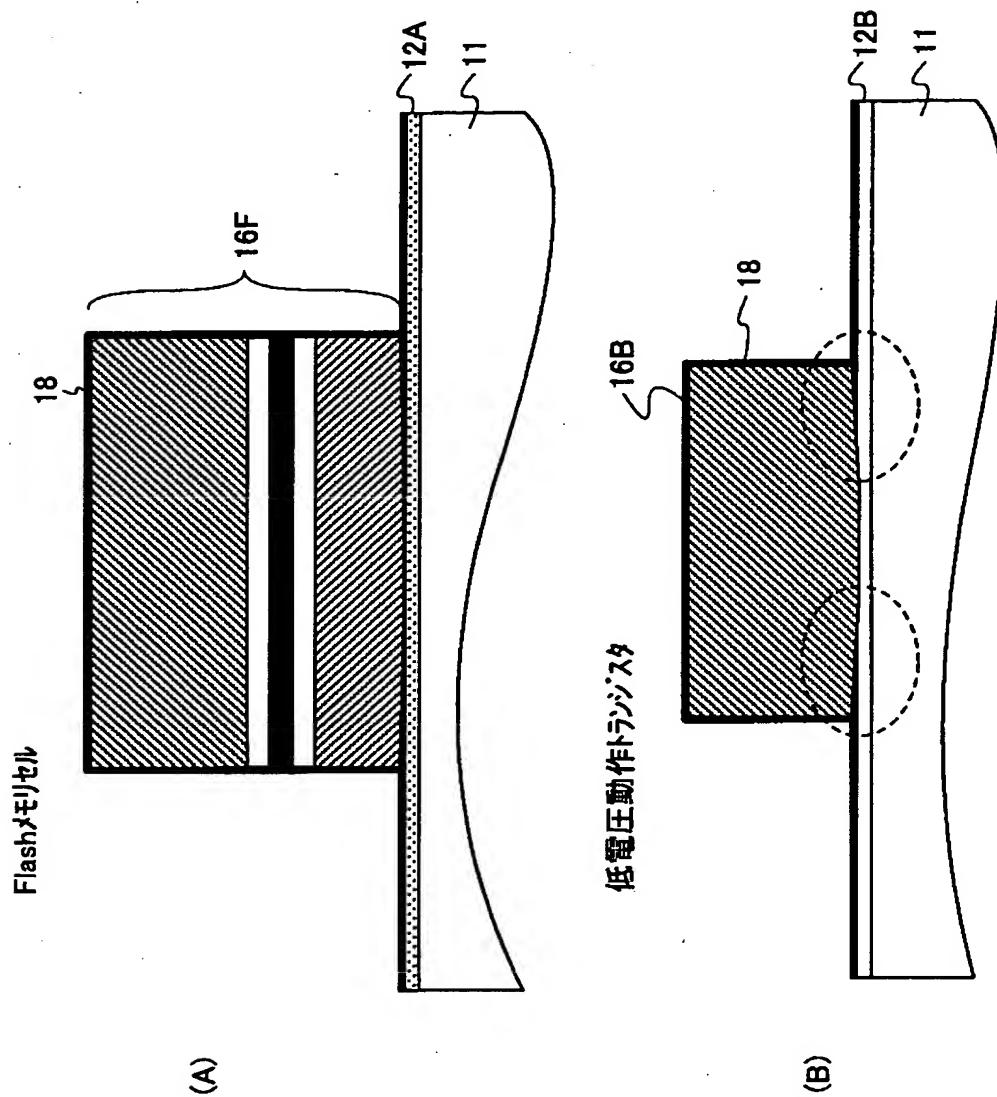
【図9】

(Q)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その8)



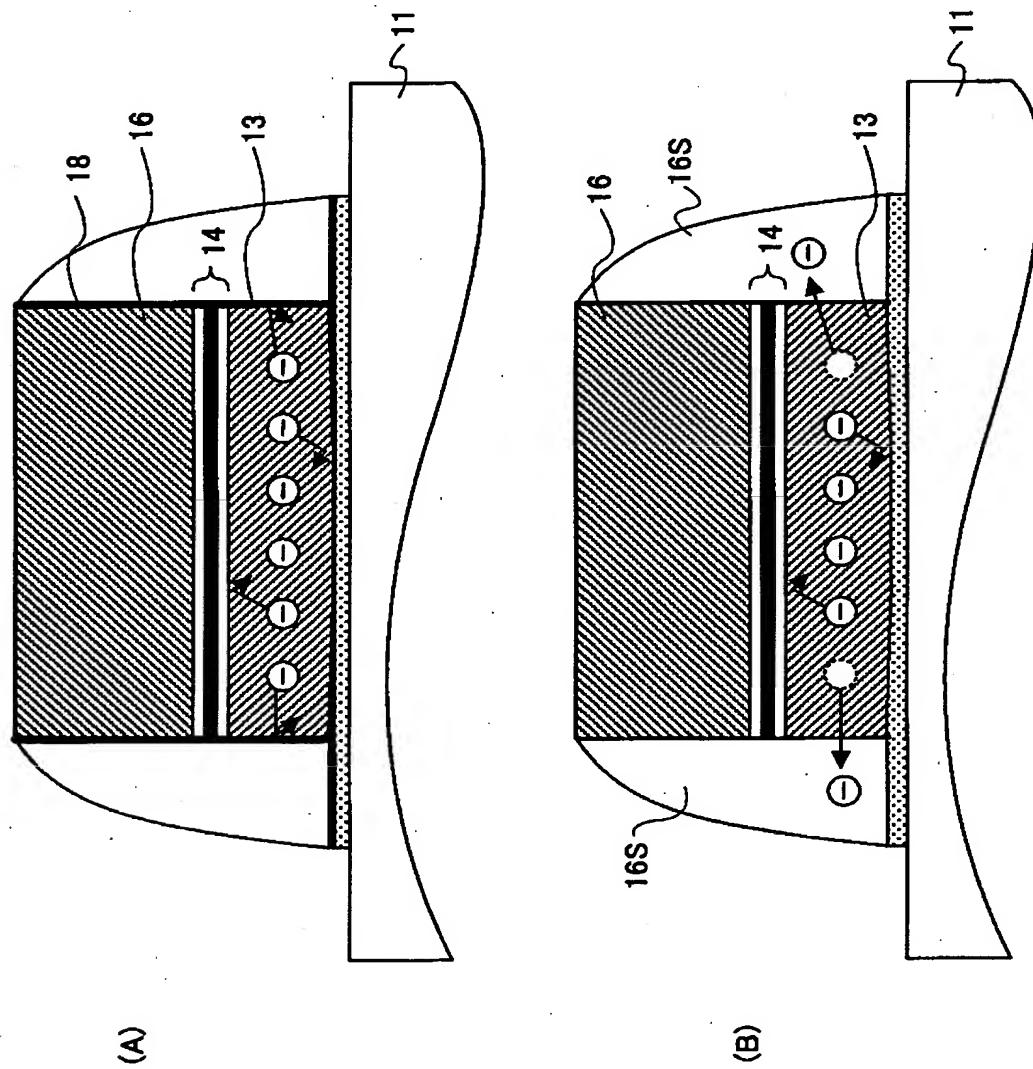
【図10】

(A), (B)は、従来の積層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を説明する図



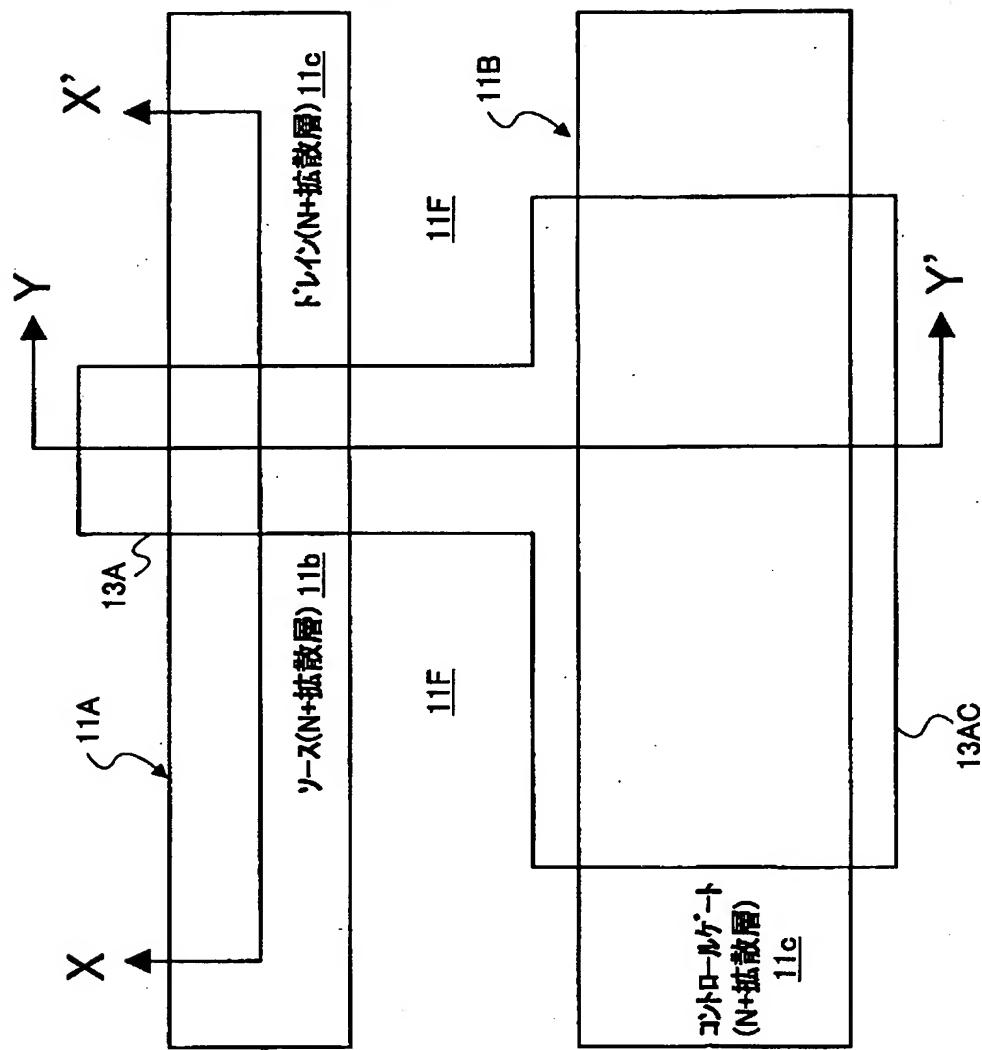
【図11】

(A), (B)は、従来の積層ゲート構造フラッシュメモリ装置で使われる保護酸化膜の役割を説明する図



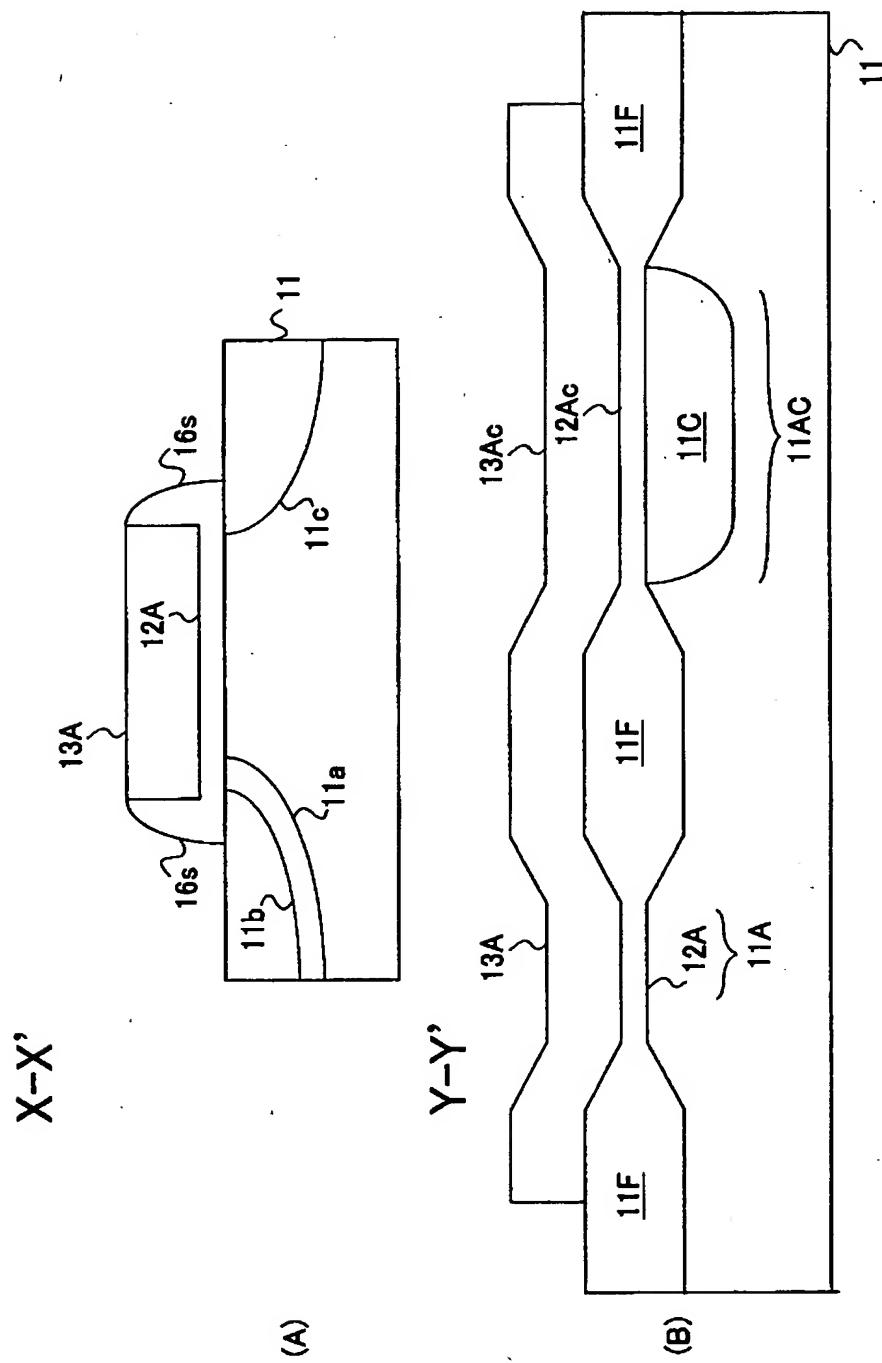
【図12】

本発明の関連技術による単層ゲート構造  
フラッシュメモリ装置の構成を示す平面図



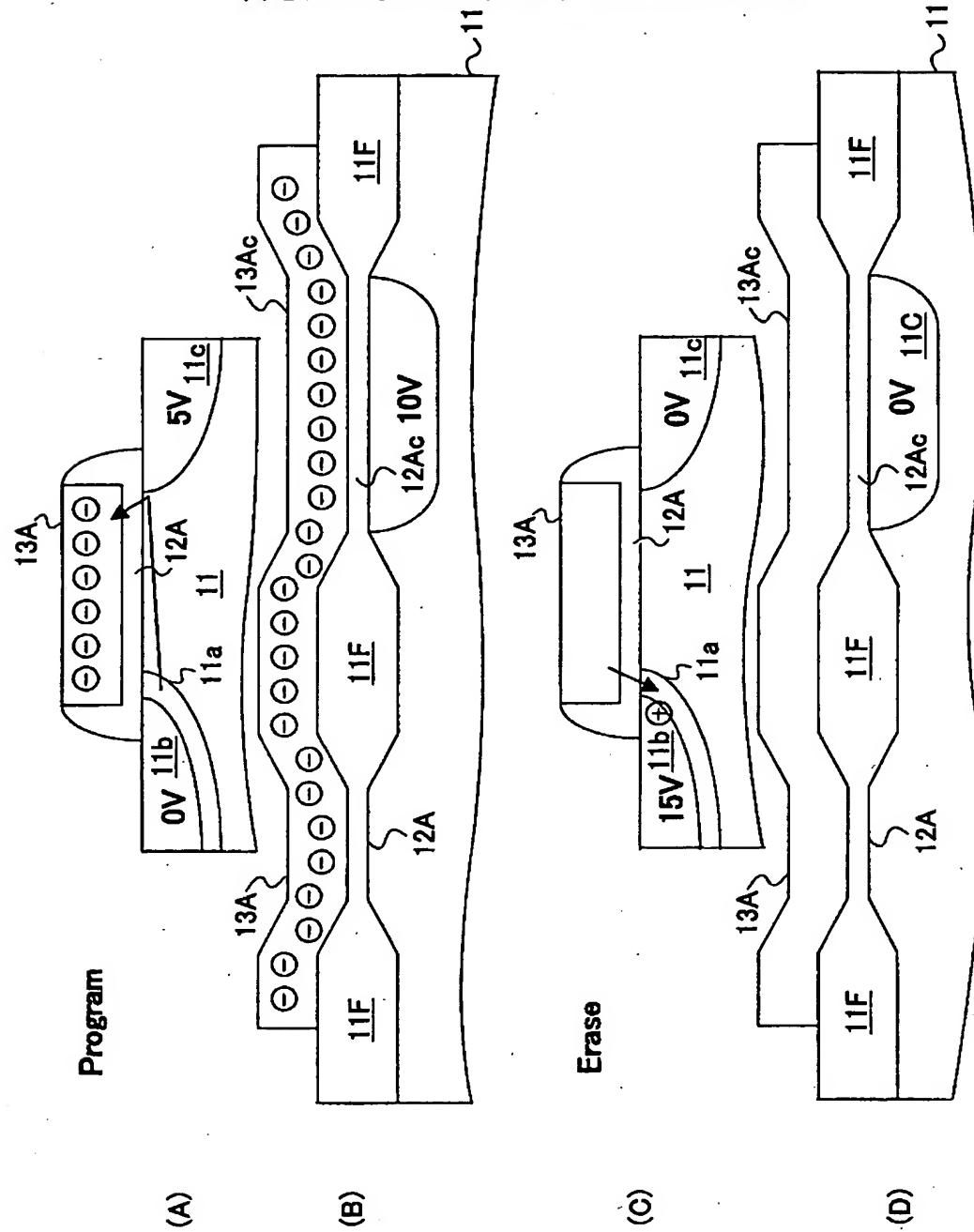
【図13】

(A), (B)は、図12のフラッシュメモリ装置の構成を示す断面図



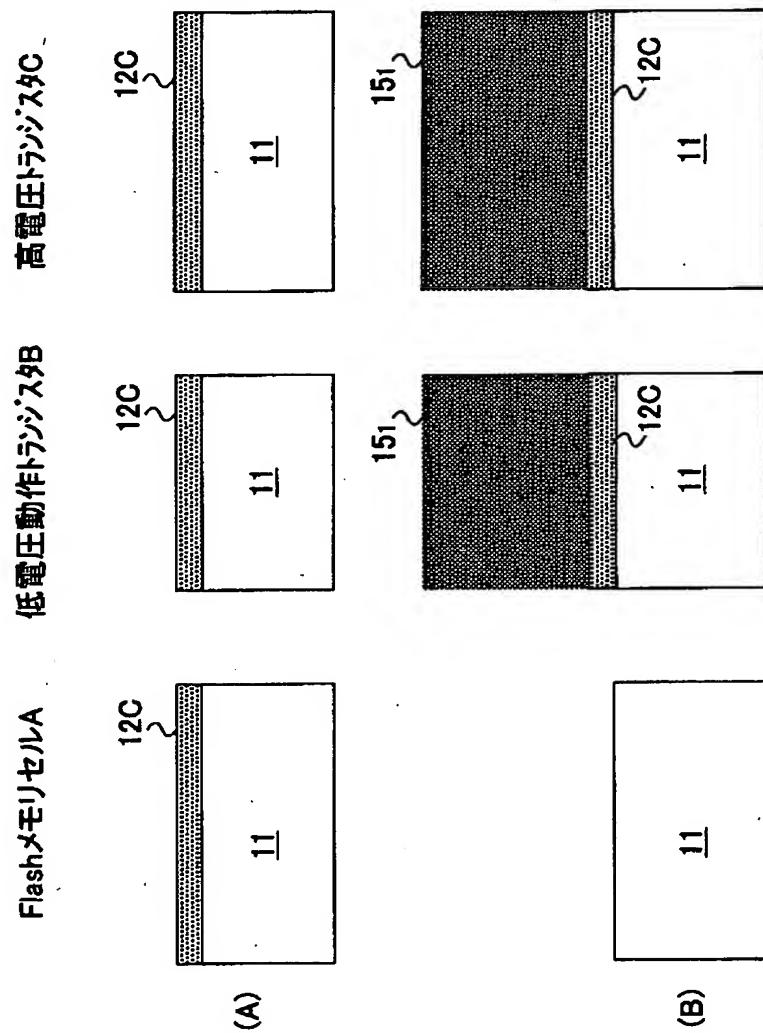
【図14】

(A)～(D)は、図12のフラッシュメモリ装置の書き込みおよび消去動作を説明する図



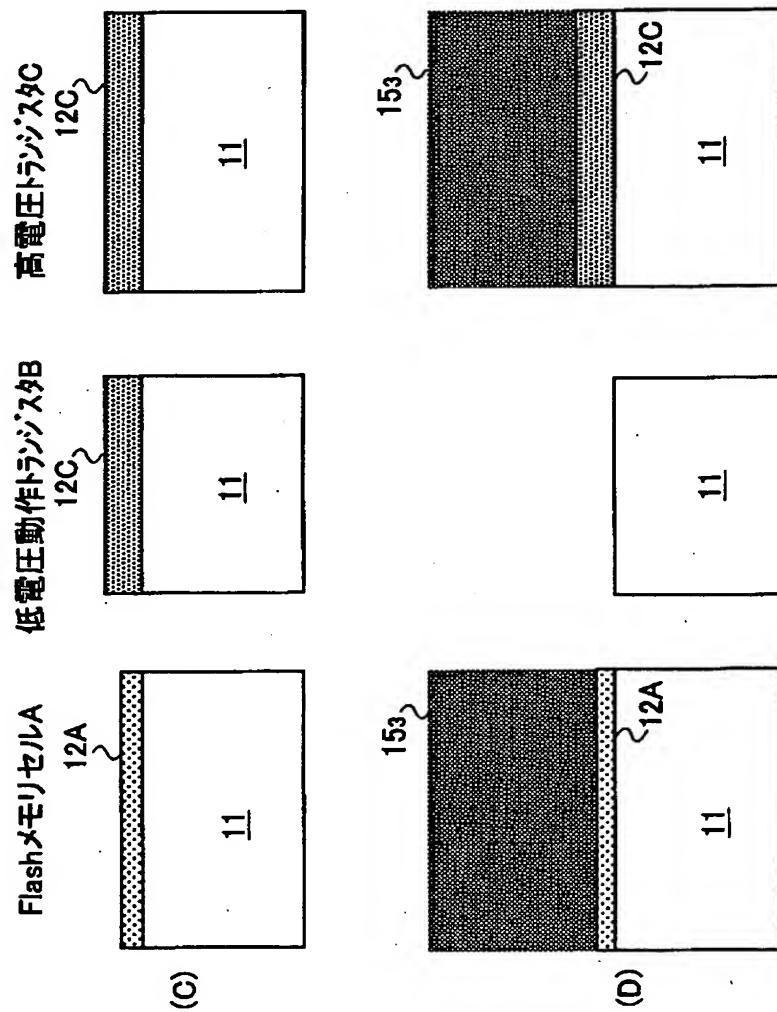
【図15】

(A), (B)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その1)



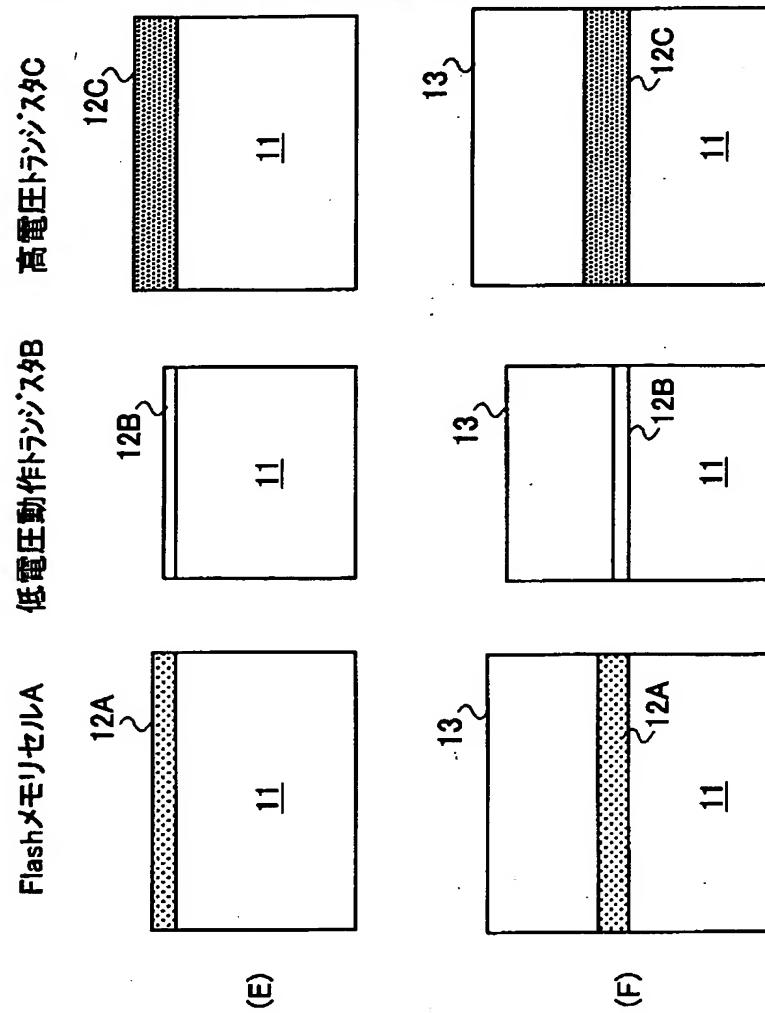
【図16】

(C), (D)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その3)



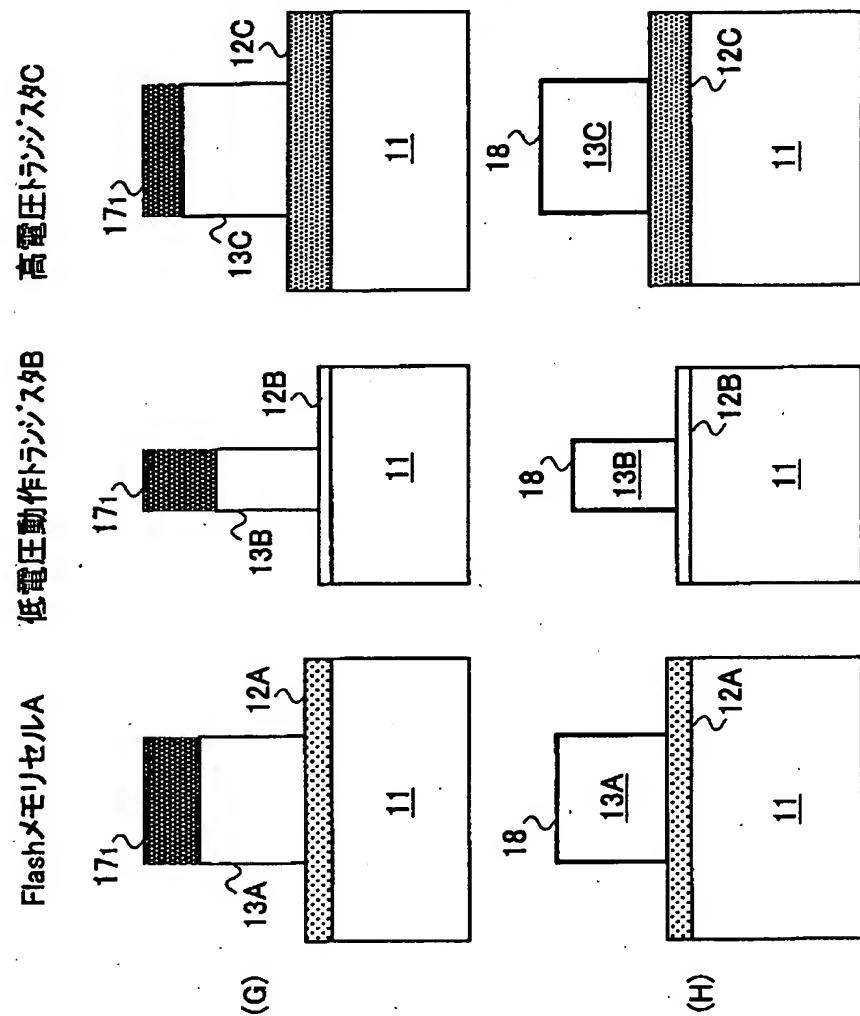
【図17】

(E), (F)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その4)



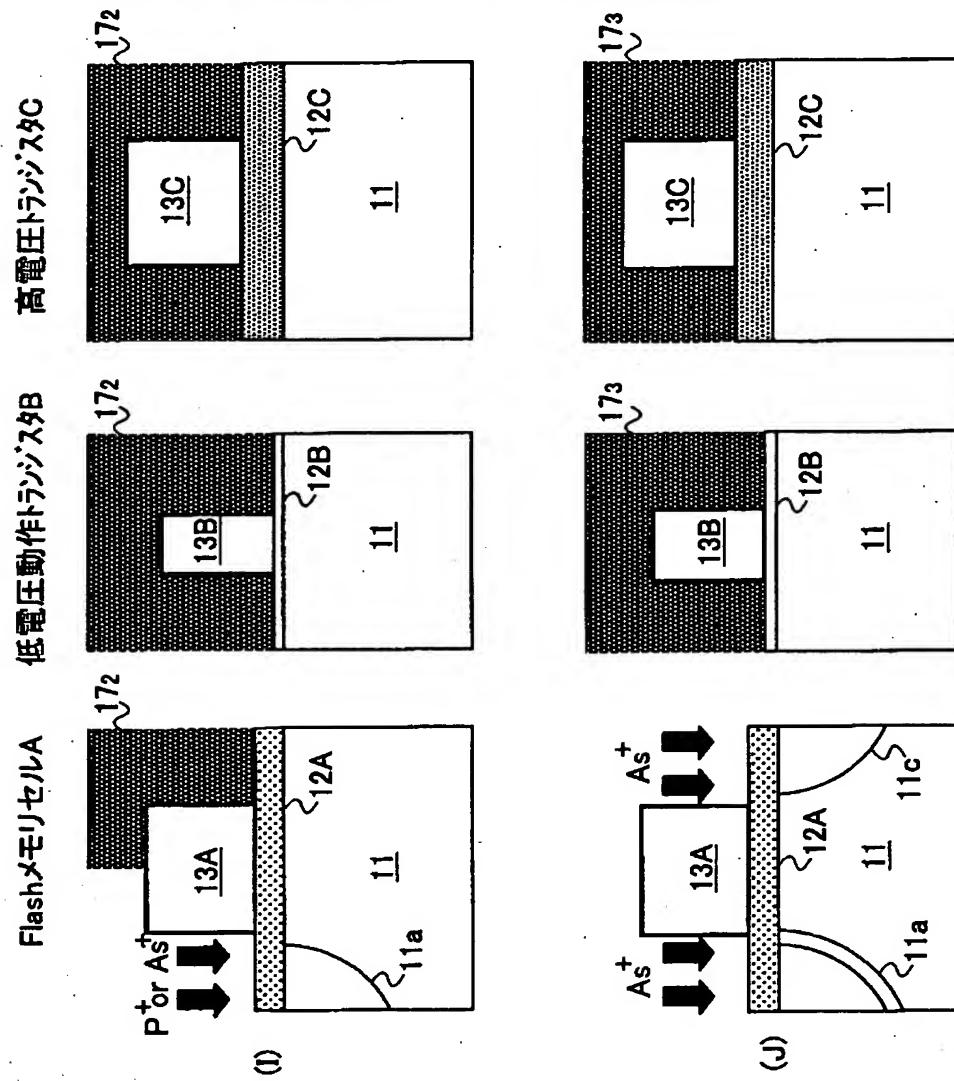
【図18】

(G), (H)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その5)



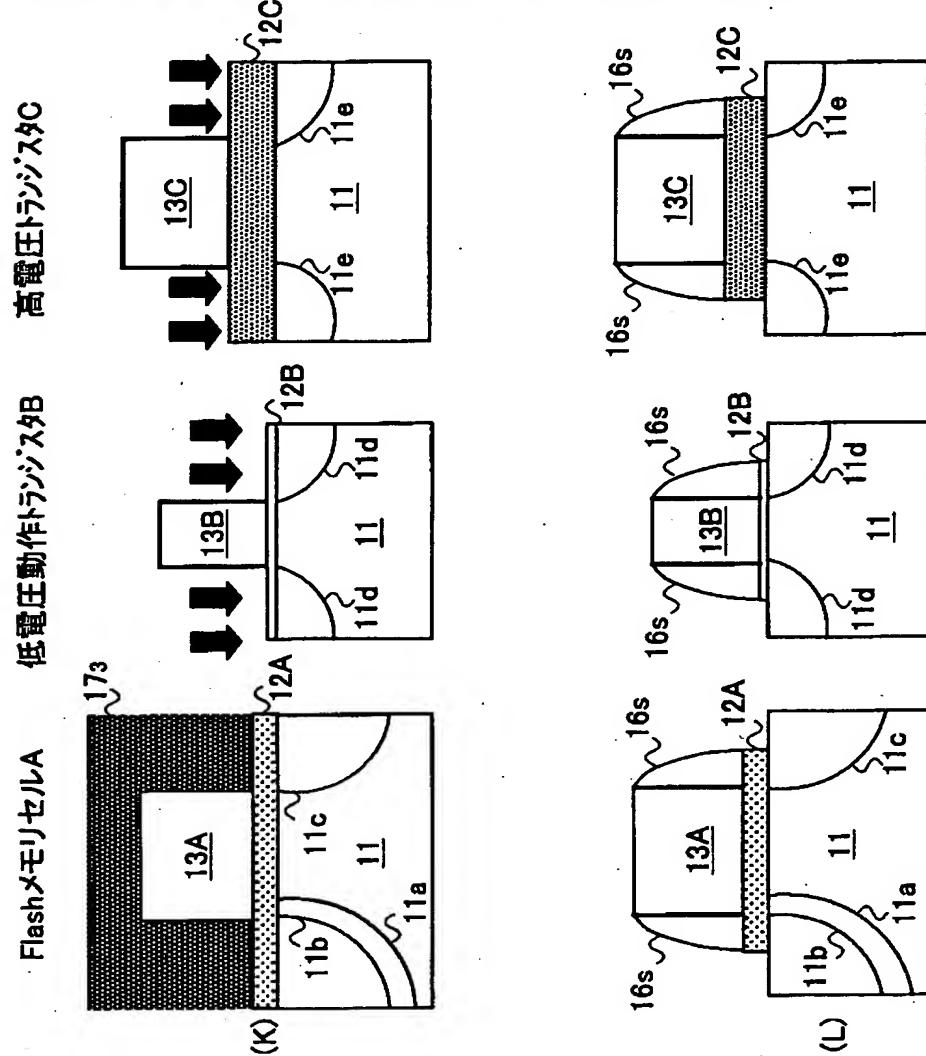
【図19】

(I), (J)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その6)



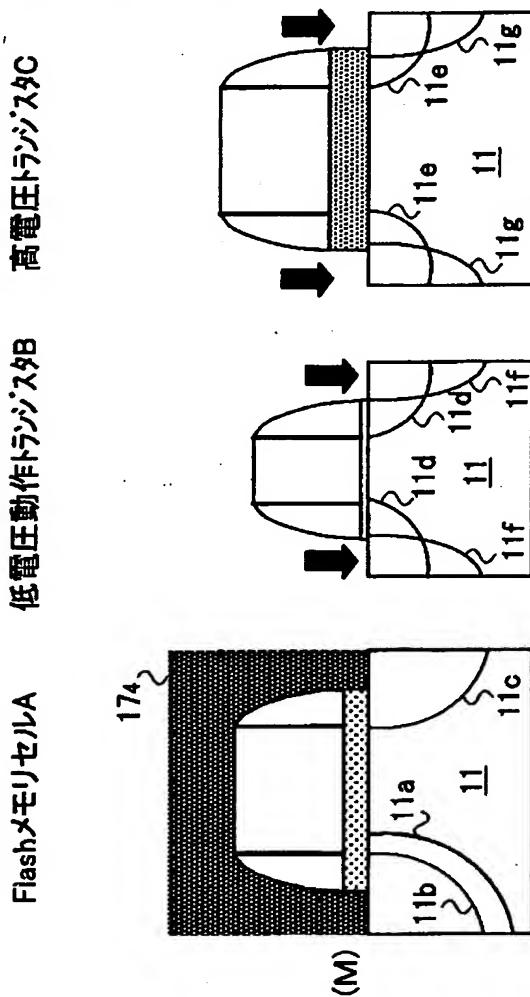
【図20】

(K), (L)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その7)



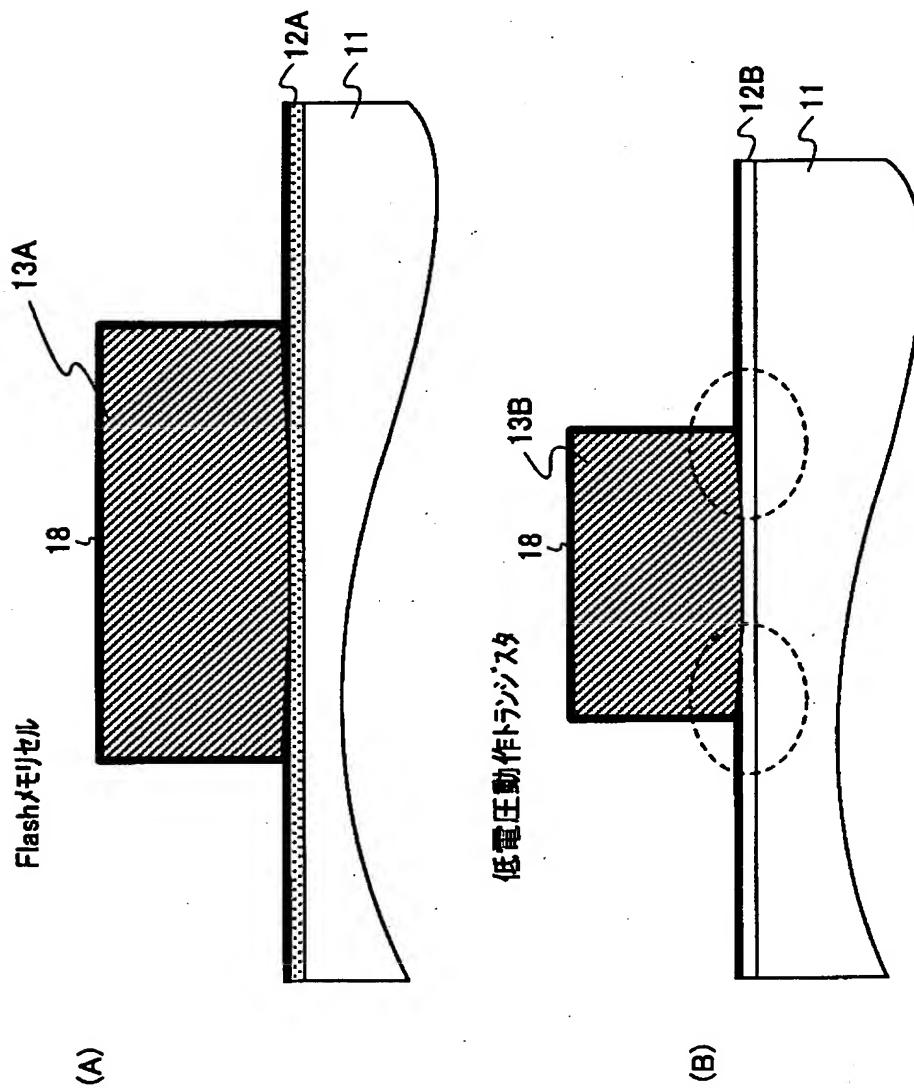
【図21】

(M)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の製造工程を示す図(その8)



【図22】

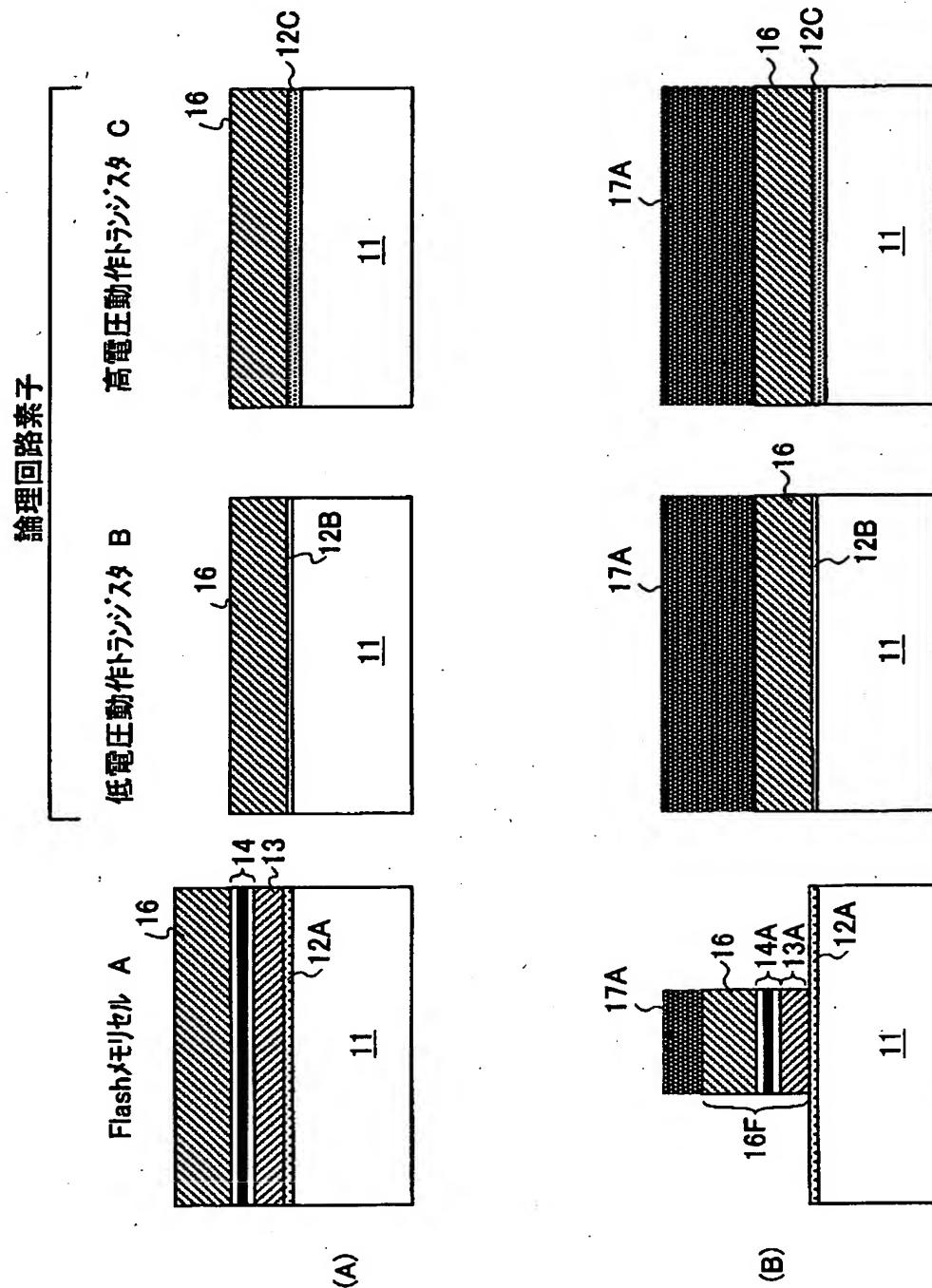
(A), (B)は、図12の単層ゲート構造フラッシュメモリ装置を含む半導体集積回路装置の課題を示す図



(B)

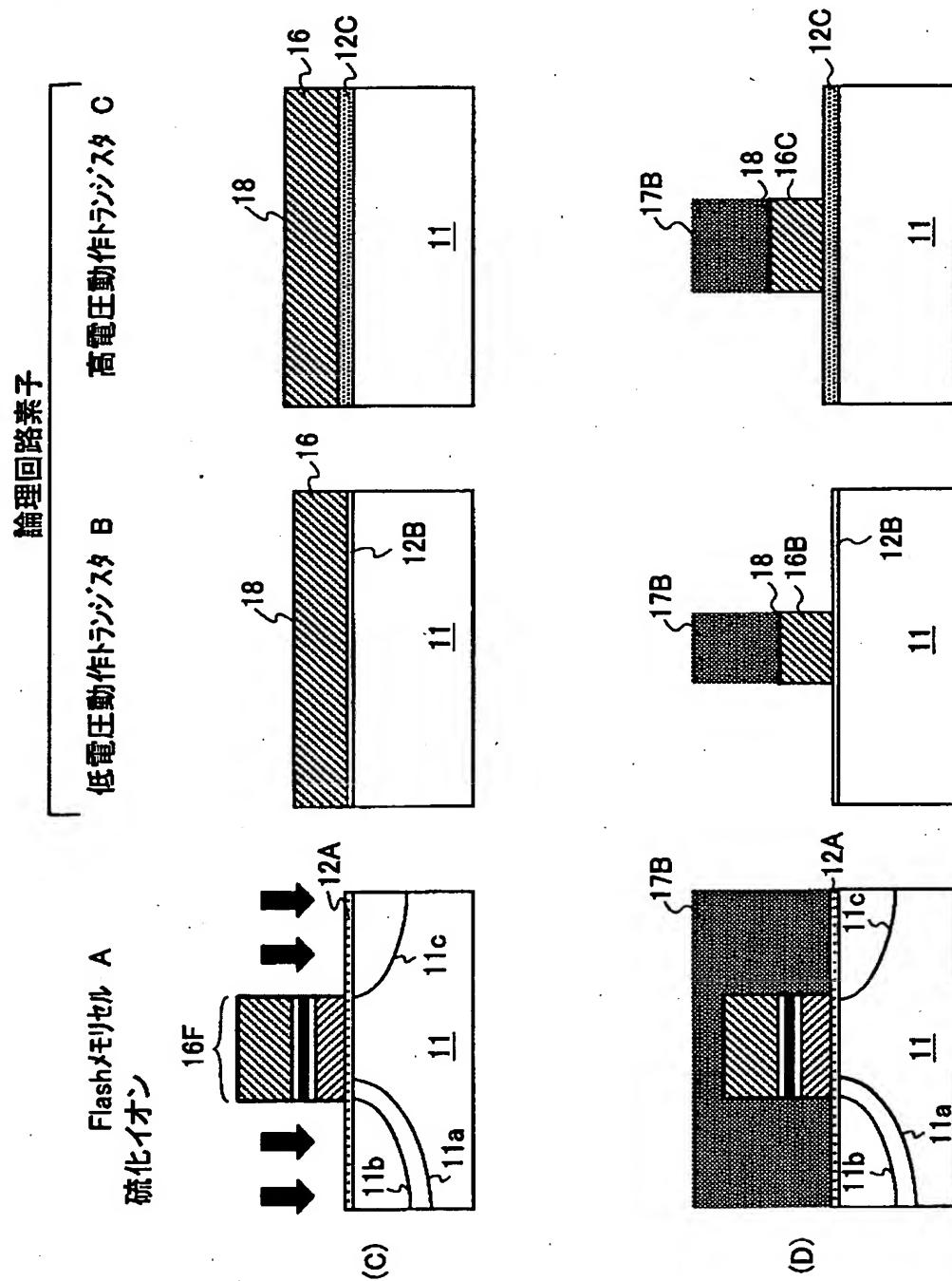
【図23】

(A), (B)は、本発明の第1実施例による半導体集積回路装置の  
製造工程を示す図(その1)



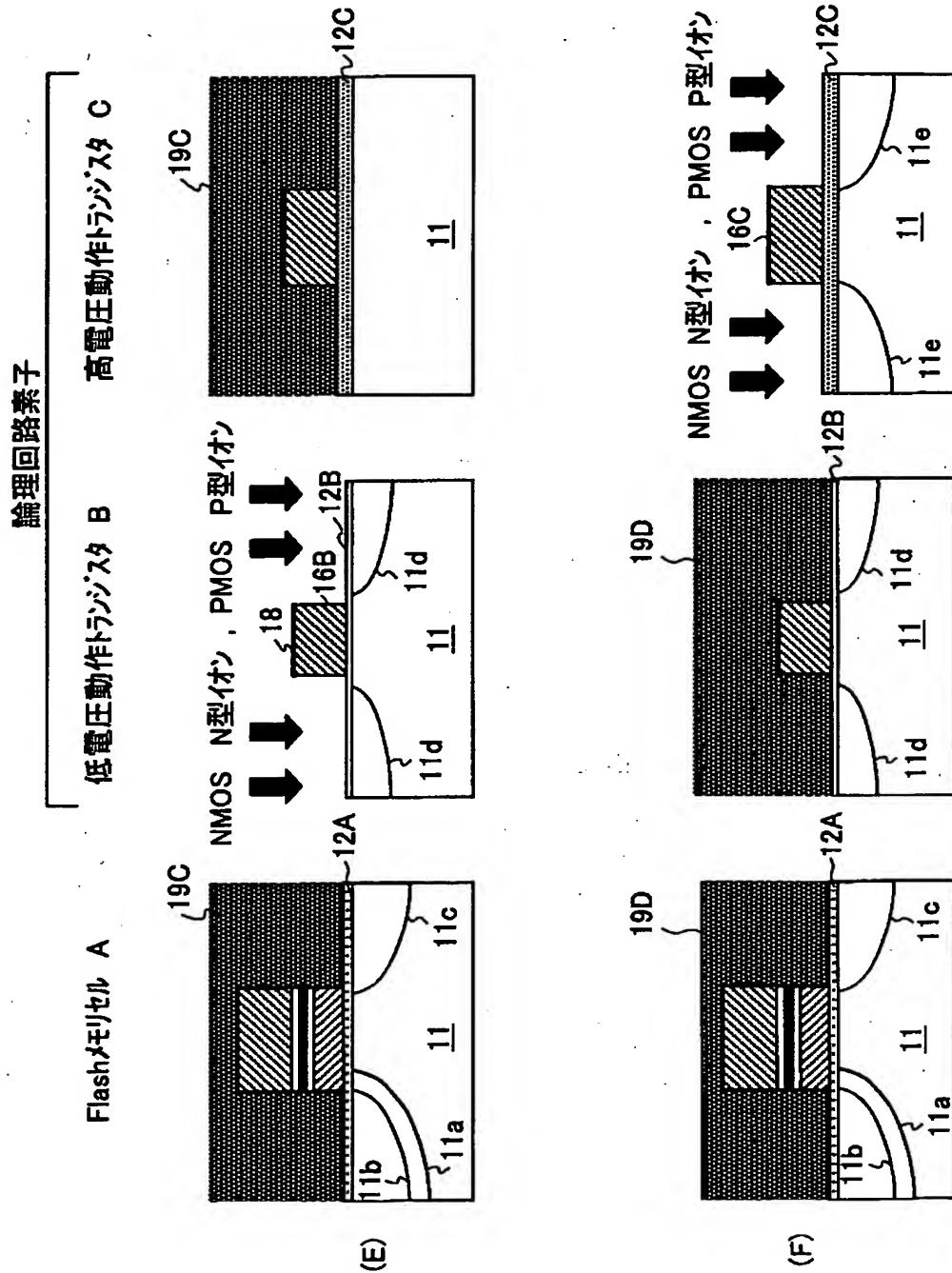
【図24】

(C), (D)は、本発明の第1実施例による半導体集積回路装置の  
製造工程を示す図(その2)



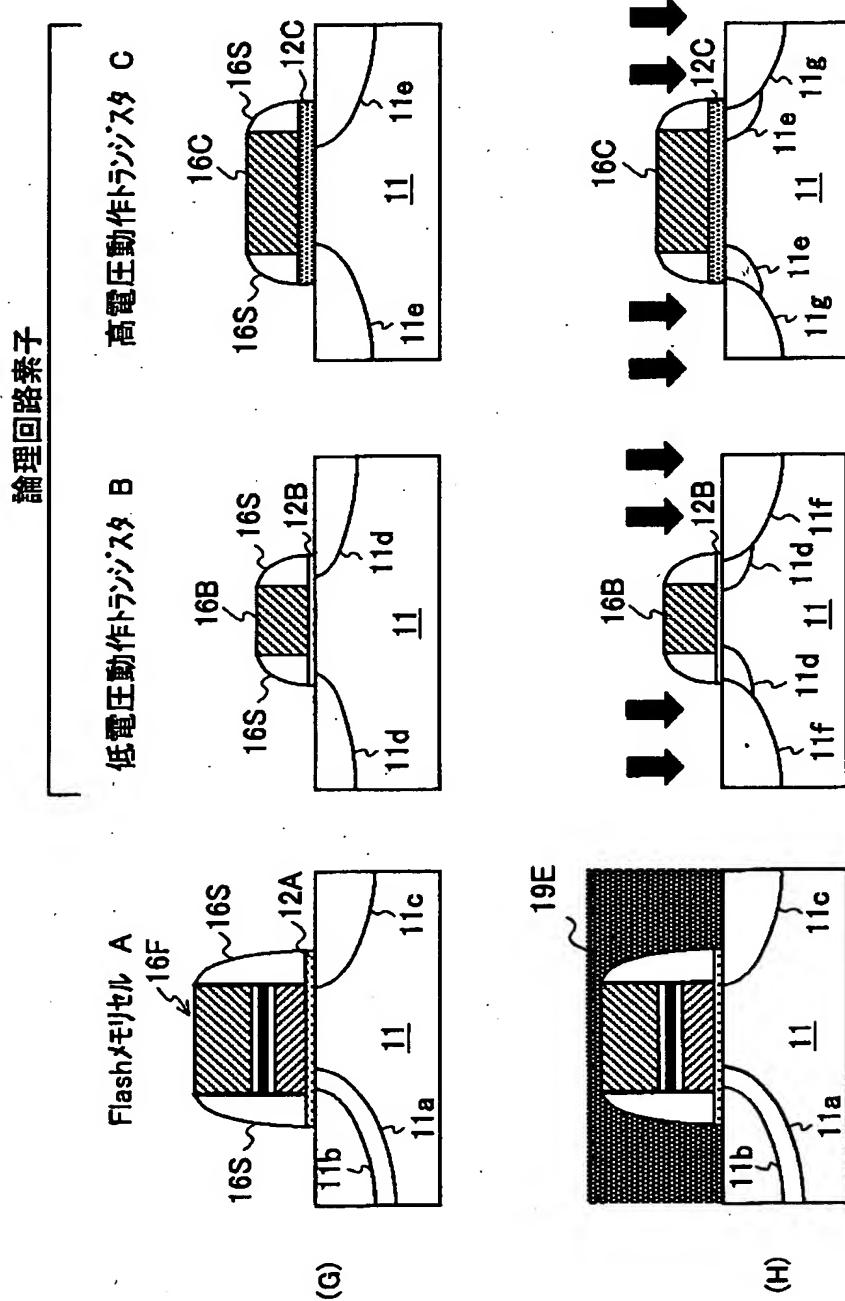
【図25】

(E), (F)は、本発明の第1実施例による半導体集積回路装置の  
製造工程を示す図(その3)



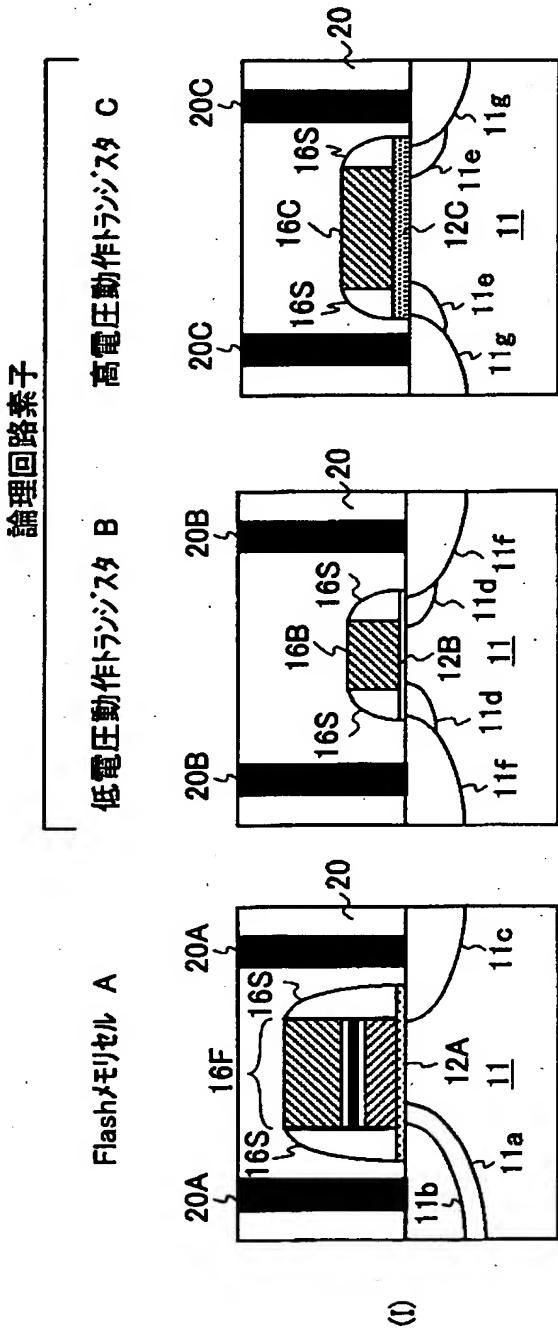
【図26】

(G), (H)は、本発明の第1実施例による半導体集積回路装置の  
製造工程を示す図(その4)



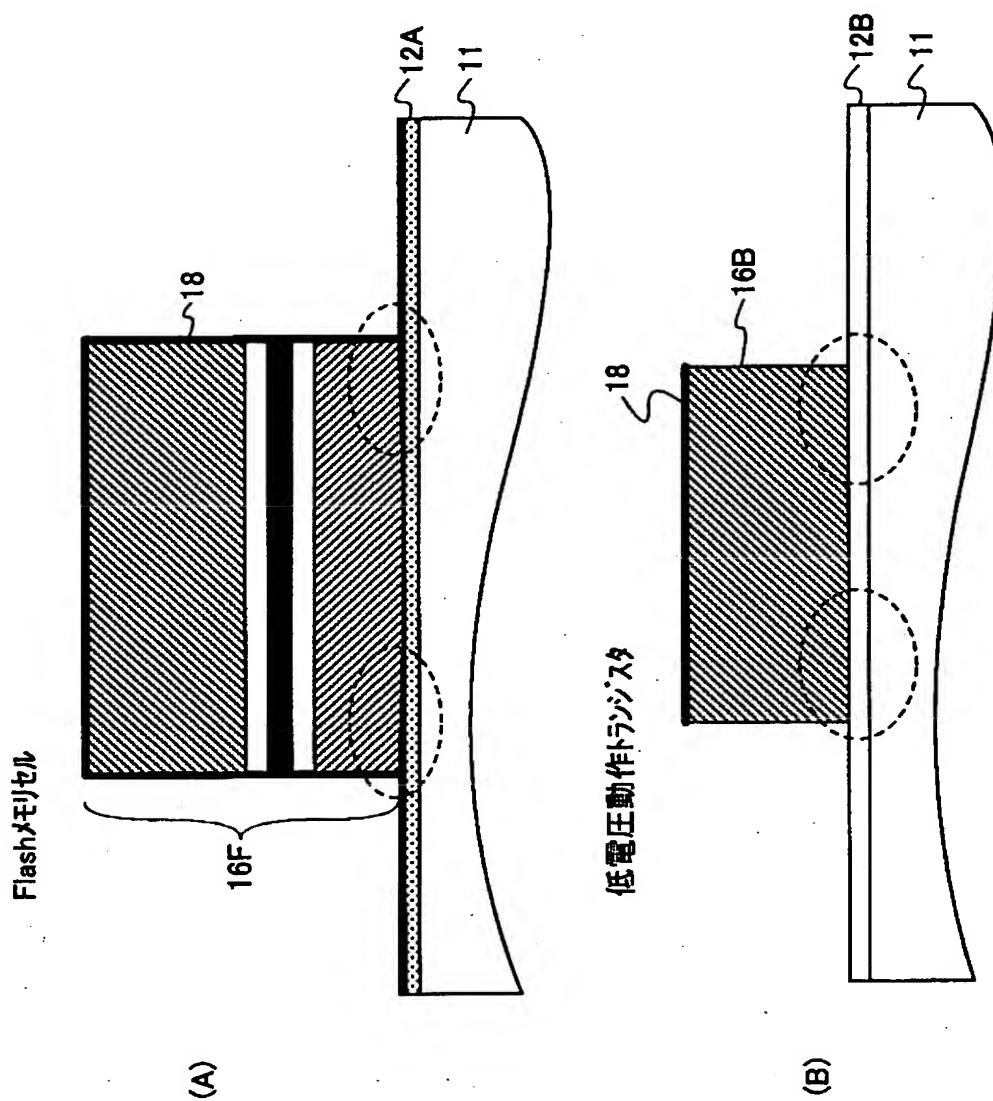
【図27】

(I)は、本発明の第1実施例による半導体集積回路装置の  
製造工程を示す図(その5)



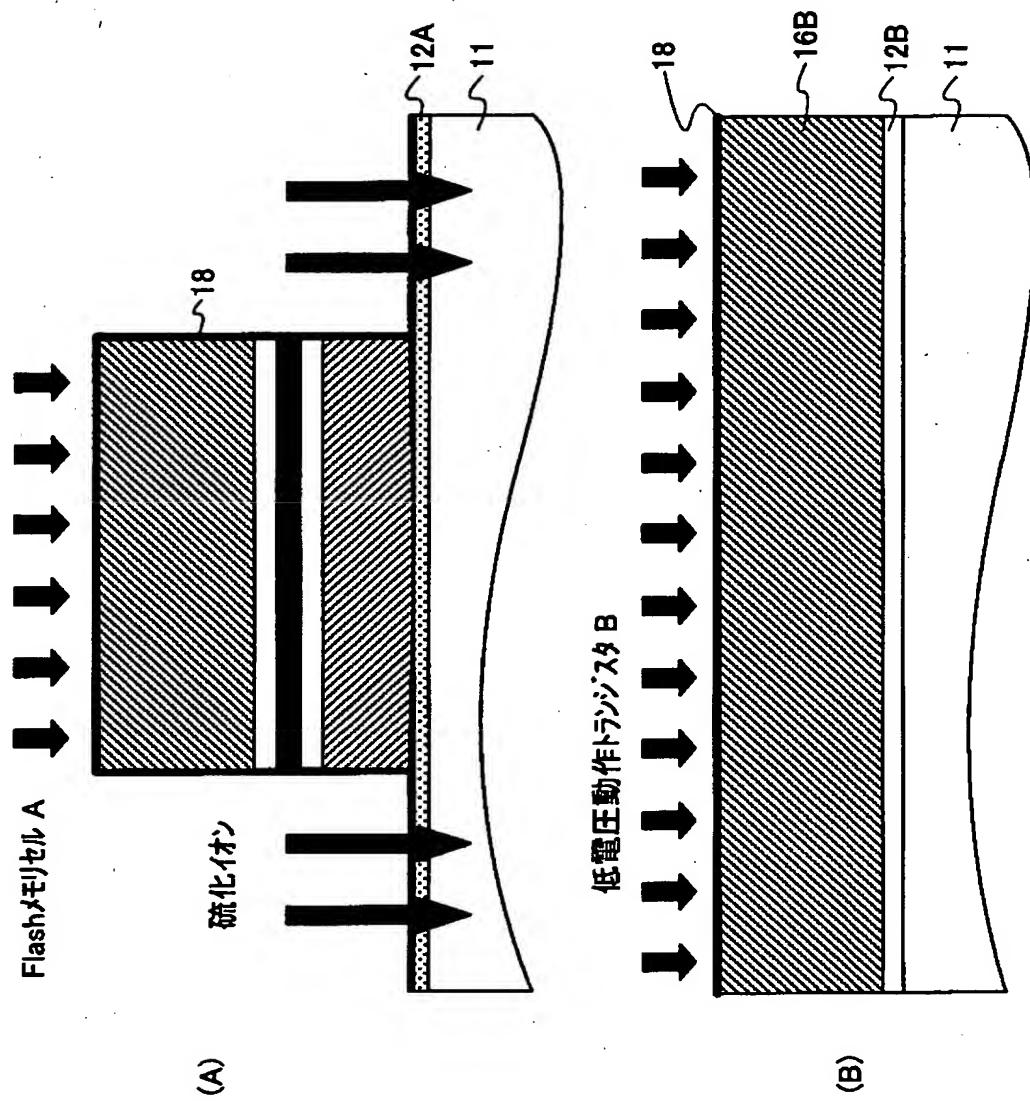
【図28】

(A), (B)は、本発明の第1実施例の効果を説明する図



【図29】

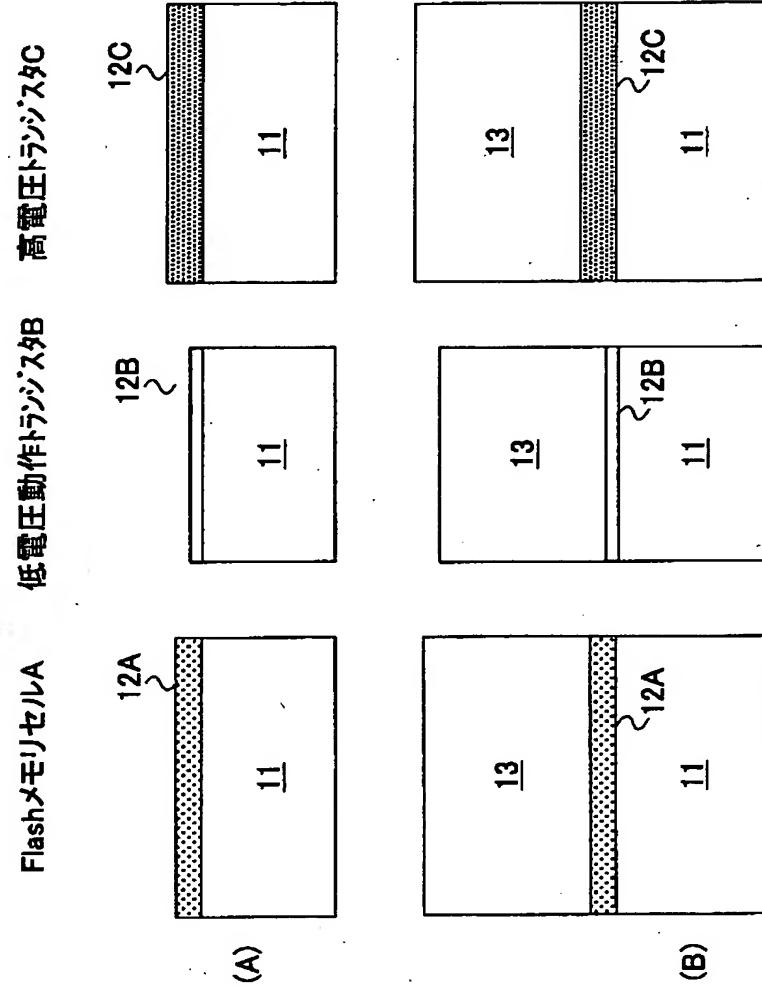
(A), (B)は、第1実施例の別の効果を説明する図



【図30】

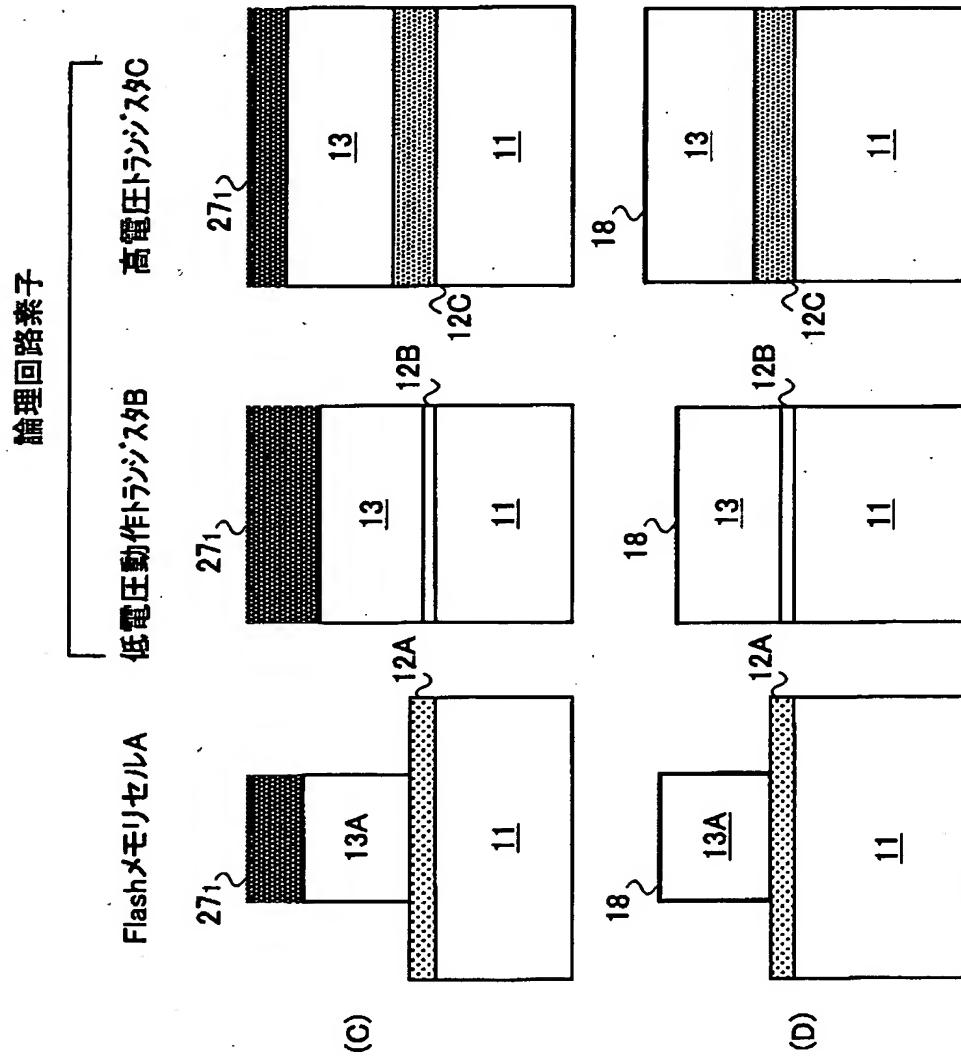
(A), (B)は、本発明の第2実施例による  
半導体集積回路装置の製造工程を示す図(その1)

論理回路素子



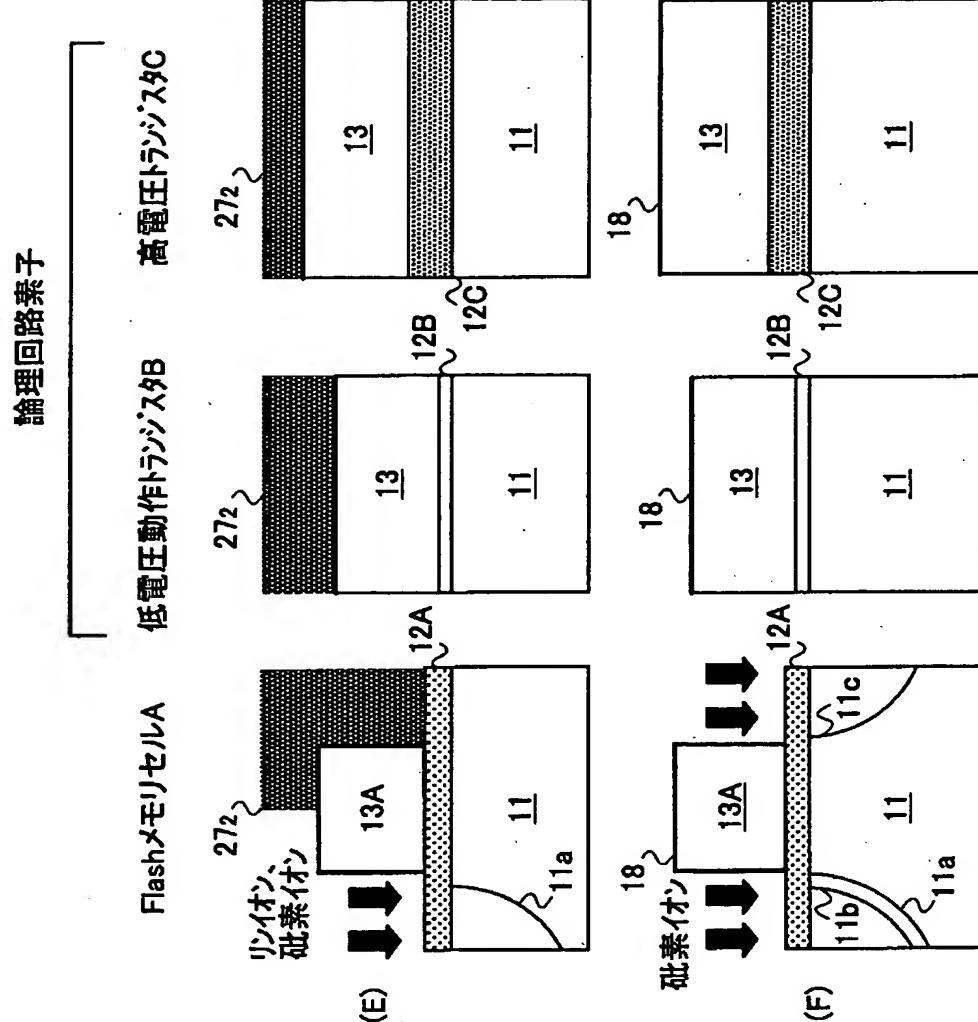
【図31】

(C), (D)は、本発明の第2実施例による  
半導体集積回路装置の製造工程を示す図(その2)



【図32】

(E), (F)は、本発明の第2実施例による  
半導体集積回路装置の製造工程を示す図(その3)

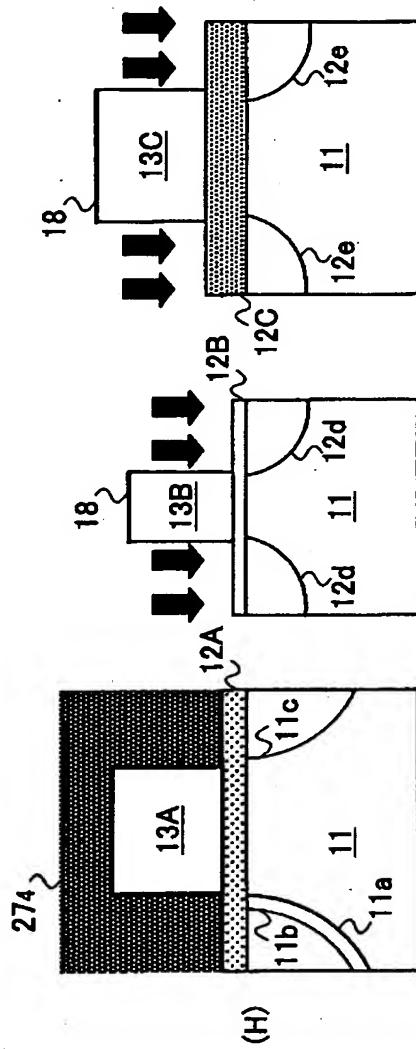
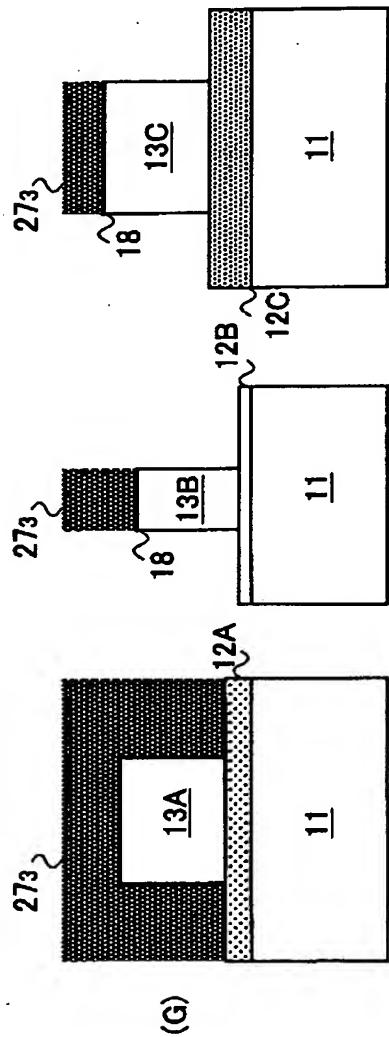


【図33】

(G), (H)は、本発明の第2実施例による  
半導体集積回路装置の製造工程を示す図(その4)

論理回路素子

FlashメモリセルA 高電圧動作トランジスタB



【図34】

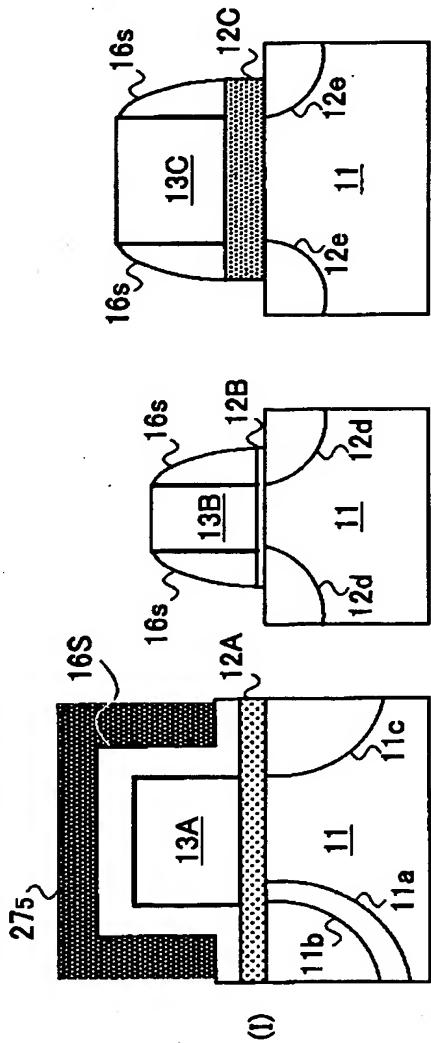
(I)は、本発明の第2実施例による  
半導体集積回路装置の製造工程を示す図(その5)

論理回路素子

高電圧トランジスタC

低電圧動作トランジスタB

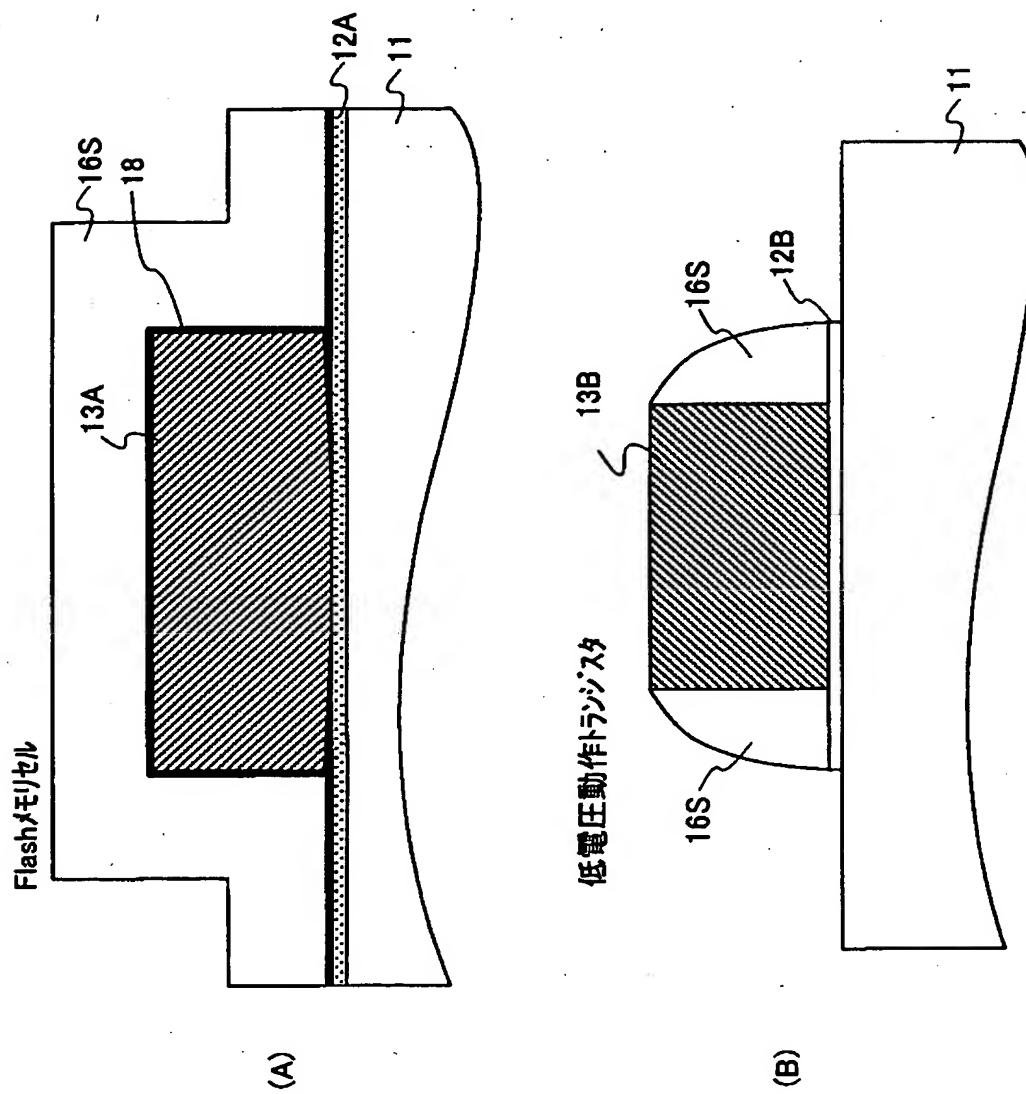
FlashメモリセルA



(1)

【図35】

本発明第2実施例の効果を説明する図



【書類名】 要約書

【要約】

【課題】 フラッシュメモリ装置を含む半導体集積回路装置において、フローティングゲート電極を保護酸化膜で覆うと同時に、論理素子を構成するMOSトランジスタのゲート電極直下におけるバースピークの形成を抑制する。

【解決手段】 メモリセル領域と素子領域とを画成された基板上にアモルファスシリコン膜を一様に堆積し、さらに基板上の素子領域を前記アモルファスシリコン膜で覆ったまま、メモリセル領域において前記アモルファスシリコン膜をパターニングし、フラッシュメモリ装置の積層ゲート電極あるいは単層ゲートを形成する。さらにこの状態で保護酸化膜を熱酸化処理工程により形成し、その後で前記アモルファスシリコン膜をパターニングして前記素子領域にゲート電極を形成する。

【選択図】 図25

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社